

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Takuji MATSUMOTO, et al.

GAU:

SERIAL NO: NEW APPLICATION

EXAMINER:

FILED: Herewith

FOR: SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME

3/ P. Payer  
Leurs  
2/22/01

JP013 U.S.  
09/7298  
12/06/01

REQUEST FOR PRIORITY

ASSISTANT COMMISSIONER FOR PATENTS  
WASHINGTON, D.C. 20231

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date of U.S. Provisional Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §119(e).
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2000-171818	June 8, 2000

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number .  
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and  
(B) Application Serial No.(s)
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.

Marvin J. Spivak

Registration No. 24,913

C. Irvin McClendon

Registration Number 21,124



22850

Tel. (703) 413-3000  
Fax. (703) 413-2220  
(OSMMN 10/98)

日 本 国 特 許 庁

PATENT OFFICE  
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2000年 6月 8日

出 願 番 号

Application Number:

特願2000-171818

出 願 人

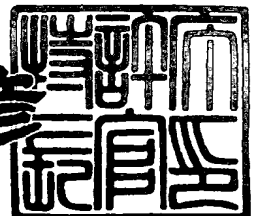
Applicant (s):

三菱電機株式会社

2000年 6月29日

特許庁長官  
Commissioner,  
Patent Office

近 藤 隆 彦



出証番号 出証特2000-3051153

【書類名】 特許願

【整理番号】 522198JP01

【提出日】 平成12年 6月 8日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 29/78

【発明者】

    【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社  
社内

    【氏名】 松本 拓治

【発明者】

    【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社  
社内

    【氏名】 岩松 俊明

【発明者】

    【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社  
社内

    【氏名】 平野 有一

【特許出願人】

    【識別番号】 000006013

    【氏名又は名称】 三菱電機株式会社

【代理人】

    【識別番号】 100102439

    【弁理士】

    【氏名又は名称】 宮田 金雄

【選任した代理人】

    【識別番号】 100103894

    【弁理士】

    【氏名又は名称】 家入 健

【選任した代理人】

【識別番号】 100092462

【弁理士】

【氏名又は名称】 高瀬 彌平

【手数料の表示】

【予納台帳番号】 011394

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 不要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】 半導体基板と、この半導体基板の主表面上全体に配設された埋込絶縁膜と、この埋込絶縁膜の表面上に配設された第 1 導電型の半導体層からなる S O I 基板を備え、

前記半導体層の主表面に配設された第 1 の活性領域と第 2 の活性領域との間に配設され、前記埋込絶縁膜との間に前記半導体層を残して前記半導体層主表面に形成された分離絶縁膜と、

前記第 1 の活性領域の半導体層主表面に所定の距離を隔てて形成された第 2 導電型の第 1 のソース領域およびドレイン領域と、

前記第 1 のソース領域およびドレイン領域に挟まれる領域と対向するように前記半導体層の主表面上に第 1 のゲート絶縁膜を介在して形成された第 1 のゲート電極と、

前記第 2 の活性領域の半導体層主表面に形成され、前記分離絶縁膜下の前記半導体層を介して、前記第 1 のソース領域およびドレイン領域に挟まれる領域に電氣的に接続する第 1 導電型の第 1 の不純物領域と、

前記第 1 および第 2 の活性領域の半導体層および前記分離絶縁膜表面上に形成された第 1 の層間絶縁膜と、

前記第 1 の層間絶縁膜上に形成されたシリコン窒化膜と、

前記シリコン窒化膜表面上に形成された第 2 の層間絶縁膜と、

前記第 1 および第 2 の層間絶縁膜および前記シリコン窒化膜に形成されたコンタクトホールを通して前記第 1 のソース領域およびドレイン領域および第 1 の不純物領域にそれぞれ接続する配線とを備えた半導体装置。

【請求項 2】 半導体層の主表面に配設された第 3 の活性領域と、

前記第 3 の活性領域および第 1 の活性領域との間に分離絶縁膜を介して、前記半導体層主表面に配設された第 4 の活性領域と、

前記第 4 の活性領域の半導体層主表面に形成された第 2 導電型の第 2 の不純物領域と、

前記第 2 の不純物領域主表面に所定の距離を隔てて形成された第 1 導電型の第 2 のソース領域およびドレイン領域と、

前記第 2 のソース領域およびドレイン領域に挟まれる領域と対向するように前記半導体層の主表面上に第 2 のゲート絶縁膜を介在して形成された第 2 のゲート電極と、

前記第 3 の活性領域の半導体層主表面に形成され、前記分離絶縁膜下の前記半導体層を介して、前記第 2 のソース領域およびドレイン領域に挟まれる領域に電氣的に接続する第 2 導電型の第 3 の不純物領域とを備え、

前記分離絶縁膜は、埋込絶縁膜との間に前記半導体層を残して前記半導体層主表面に形成され、

第 1 の層間絶縁膜、シリコン窒化膜および第 2 の層間絶縁膜は、前記第 3 および第 4 の活性領域の半導体層表面上にまで延びて形成されており、

前記第 1 および第 2 の層間絶縁膜および前記シリコン窒化膜に形成されたコンタクトホールを通して前記第 2 のソース領域およびドレイン領域および前記第 3 の不純物領域にそれぞれ接続する配線をさらに備えたことを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 半導体層の主表面に配設された第 3 の活性領域と、

前記第 3 の活性領域および第 1 の活性領域との間に分離絶縁膜を介して、前記半導体層主表面に配設された第 4 の活性領域と、

前記第 4 の活性領域の半導体層主表面に形成された第 2 導電型の第 2 の不純物領域と、

前記第 2 の不純物領域主表面に所定の距離を隔てて形成された第 1 導電型の第 2 のソース領域およびドレイン領域と、

前記第 2 のソース領域およびドレイン領域に挟まれる領域と対向するように前記半導体層の主表面上に第 2 のゲート絶縁膜を介在して形成された第 2 のゲート電極と、

前記第 3 の活性領域の半導体層主表面に形成され、前記分離絶縁膜下の前記半導体層を介して、前記第 2 のソース領域およびドレイン領域に挟まれる領域に電氣的に接続する第 2 導電型の第 3 の不純物領域とをさらに備え、

第 1 の活性領域と第 4 の活性領域との間に配設された分離絶縁膜は、埋込絶縁膜まで到達し、

第 1 の層間絶縁膜、シリコン窒化膜および第 2 の層間絶縁膜は、前記第 3 および第 4 の活性領域の半導体層表面上にまで延びて形成されており、

前記第 1 および第 2 の層間絶縁膜および前記シリコン窒化膜に形成されたコンタクトホールを通して前記第 2 のソース領域およびドレイン領域および前記第 3 の不純物領域にそれぞれ接続する配線を備えていることを特徴とする請求項 1 記載の半導体装置。

【請求項 4】 ソース領域およびドレイン領域に接続する配線が、前記ソース領域およびドレイン領域にそれぞれ隣接する分離絶縁膜表面に延在することを特徴とする請求項 1 ないし請求項 3 のいずれか一項に記載の半導体装置。

【請求項 5】 分離絶縁膜表面に延在する配線に接続するソース領域およびドレイン領域に隣接して前記分離絶縁膜下の半導体層に形成され、隣接する前記ソース領域およびドレイン領域とそれぞれ同一導電型の不純物を有する不純物領域を備えたことを特徴とする請求項 4 記載の半導体装置。

【請求項 6】 シリコン窒化膜が全面に形成されていることを特徴とする請求項 1 ないし請求項 5 のいずれか一項に記載の半導体装置。

【請求項 7】 ソース領域およびドレイン領域の表面に形成された金属シリサイド層をさらに備えたことを特徴とする請求項 1 ないし請求項 6 のいずれか一項に記載の半導体装置。

【請求項 8】 半導体基板表面上に埋込酸化膜を介して形成された第 1 導電型の半導体層を有する S O I 基板の、前記半導体層主表面に配設された第 1 および第 2 の活性領域を取り囲み、その下に前記半導体層の一部が残る分離絶縁膜を形成する工程と、

前記第 2 の活性領域の半導体層主表面に第 1 導電型の第 1 の不純物領域を形成する工程と、

前記第 1 の活性領域の半導体層主表面上に、ゲート絶縁膜を介して第 1 のゲート電極を形成する工程と、

前記第 1 の活性領域の半導体層の前記第 1 のゲート電極と対向する領域を挟ん

だ主表面に所定の距離を隔てた第 2 導電型の第 1 のソース領域およびドレイン領域を形成する工程と、

前記第 1 および第 2 の活性領域の半導体層および前記分離絶縁膜表面上に第 1 の層間絶縁膜を形成する工程と、

前記第 1 の層間絶縁膜上にシリコン窒化膜を形成する工程と、

前記シリコン窒化膜表面上に第 2 の層間絶縁膜を形成する工程と、

前記第 1 および第 2 の層間絶縁膜および前記シリコン窒化膜に、前記第 1 のソース領域およびドレイン領域および第 1 の不純物領域にそれぞれ到達するコンタクトホールを形成する工程と、

前記コンタクトホールを通して前記第 1 のソース領域およびドレイン領域および第 1 の不純物領域にそれぞれ接続する配線を形成する工程とを備えた半導体装置の製造方法。

【請求項 9】 分離絶縁膜はさらに、半導体層の主表面に第 1 の活性領域に隣接して配設された第 3 の活性領域およびこの第 3 の活性領域に隣接して配設された第 4 の活性領域を取り囲んで形成され、

前記分離絶縁膜を形成する工程の後で、第 1 の不純物領域を形成する前に、第 4 の活性領域に第 2 導電型の第 2 の不純物領域を形成する工程を備え、

前記第 3 の活性領域の半導体層主表面に第 2 導電型の第 3 の不純物領域を形成する工程と、

前記第 2 不純物領域主表面上に、ゲート絶縁膜を介して第 2 のゲート電極を形成する工程と、

前記第 2 の不純物領域の前記第 2 のゲート電極と対向する領域を挟んだ主表面に所定の距離を隔てた第 1 導電型の第 2 のソース領域およびドレイン領域を形成する工程とをさらに備え、

第 1 の層間絶縁膜、シリコン窒化膜および第 2 の層間絶縁膜は、前記第 3 および第 4 の活性領域の半導体層表面上にまで延びて形成され、

前記第 1 および第 2 の層間絶縁膜および前記シリコン窒化膜に、前記第 2 のソース領域およびドレイン領域および前記第 3 の不純物領域にそれぞれ到達するコンタクトホールを形成する工程と、



前記コンタクトホールを通過して前記第 2 のソース領域およびドレイン領域および前記第 3 の不純物領域にそれぞれ接続する配線を形成する工程とを備えたことを特徴とする請求項 8 記載の半導体装置の製造方法。

【請求項 1 0】 コンタクトホールを形成する工程は、第 2 の層間絶縁膜をエッチングする工程と、第 1 の層間絶縁膜を形成する工程とを備えていることを特徴とする請求項 8 または請求項 9 のいずれか一項に記載の半導体装置の製造方法。

【請求項 1 1】 ソース領域およびドレイン領域に到達するコンタクトホールは、前記ソース領域およびドレイン領域にそれぞれ隣接する分離絶縁膜表面上に延びて形成されていることを特徴とする請求項 8 ないし請求項 1 0 のいずれか一項に記載の半導体装置。

【請求項 1 2】 第 2 の層間絶縁膜は、シリコン窒化膜との選択比が高い物質によってエッチングされ、第 1 の層間絶縁膜は、シリコン窒化膜との選択比が低い物質によってエッチングされることを特徴とする請求項 1 0 または請求項 1 1 のいずれか一項に記載の半導体装置の製造方法。

# 【発明の詳細な説明】

## 【 0 0 0 1 】

### 【発明の属する技術分野】

この発明は、S O I (Silicon On Insulator) 構造の半導体装置およびその製造方法に関し、特に、埋込酸化膜まで到達しない分離絶縁膜（以下 P T I (Partial Trench Isolation) と称す）を有する半導体装置およびその製造方法に関するものである。

## 【 0 0 0 2 】

### 【従来の技術】

半導体基板、埋込酸化膜および半導体層からなる S O I (Silicon On Insulator) 構造を有する半導体装置は、埋込酸化膜とこの埋込酸化膜まで到達する素子分離（以下 F T I (Full Trench Isolation) と称す）によって、活性領域が取り囲まれているため、CMOS トランジスタを形成してもラッチアップが起こる心配がなく、また、薄い半導体層に形成されているため、半導体基板表面に直接

トランジスタが形成された半導体装置に比べて接合容量が小さく、高速動作が可能であるとともに低消費電力である。このため、最近では特に、携帯機器用 L S I などへの応用が期待されている。

#### 【 0 0 0 3 】

しかし、半導体基板そのものに形成されたトランジスタと異なり、従来の S O I 構造の半導体装置は、半導体層が埋込酸化膜によって半導体基板から電氣的に分離されているため、活性領域で衝突電離現象によって発生するキャリア（n M O S ではホール、p M O S では電子）が、チャネル形成領域の下方の半導体層内に溜まり、これによりキックが発生したり、動作耐圧が劣化したり、また、チャネル領域の電位が安定しないために遅延時間の周波数依存性が出る等の基板浮遊効果により生ずる種々の問題点がある。この問題を解決するためには、チャネル形成領域の電位を固定する方法が有効である。特開昭 5 8 - 1 2 4 , 2 4 3 号公報には、このように、チャネル形成領域の電位が固定された半導体装置が開示されている。

#### 【 0 0 0 4 】

近年では、さらに各トランジスタ毎にチャネル形成領域の電位を固定するのではなく、同一導電型の複数のトランジスタのチャネル形成領域の電位を一括して固定するために、P T I によって分離を行って微細化を図っており、この構造は、IEEE International SOI Conference, Oct. 1999 p131-132などに開示されている。

#### 【 0 0 0 5 】

図 2 2 は従来の半導体装置を示す断面図であり、図において、1 0 1 は半導体基板、1 0 2 は埋込酸化膜、1 0 3 は p 型半導体層、1 0 4 は分離酸化膜、1 0 5 はゲート絶縁膜、1 0 6 はゲート電極、1 0 7 および 1 0 8 は n 型ソース・ドレイン領域、1 0 9 はサイドウォール絶縁膜、1 0 1 0 は配線、1 0 1 1 は層間絶縁膜、1 0 1 2 は p 型不純物領域、1 0 1 3 はコンタクトホールである。図に示したように、P T I の場合、隣接する二つのトランジスタ間の分離酸化膜 1 0 4 は埋込酸化膜 1 0 2 に到達しておらず、二つのトランジスタのチャネル形成領域がつながった状態となっており、同一導電型の複数のトランジスタに対して、

チャネル形成領域の電位を固定するための配線 1 1 1 0 が p 型不純物領域 1 0 1 2 に接続して形成されている。この p 型不純物領域 1 0 1 2 は、p 型半導体層 1 0 3 よりも高濃度の不純物を含んで低抵抗化されている。

#### 【0 0 0 6】

また、微細化に伴って、配線 1 0 1 0 を分離酸化膜 1 0 4 の表面上に乗り上げて形成し（以下、ボーダーレスコンタクト構造と称す）、素子密度の向上を図っている。

図 2 3 は従来の半導体装置を示す断面図である。図を参照して、ソース・ドレイン領域 1 0 7 および 1 0 8 に接続する配線 1 0 1 0 はそれぞれ、分離酸化膜 1 0 4 表面上に乗り上げる形で形成されている。

#### 【0 0 0 7】

##### 【発明が解決しようとする課題】

しかしながら、分離絶縁膜を P T I 構造として、チャネル形成領域の電位を固定した半導体装置においても、P T I 下の半導体層が薄いため（～5 0 n m）、基板浮遊効果を生じてしまうという問題点があった。これは、P T I 下の半導体層が薄いと、チャネル形成領域の電位を固定している配線から離れるに従って、この配線とトランジスタとの間の抵抗が高くなり、トランジスタ特性に影響を与えるためである。また、チャネル形成領域の電位を固定する配線からの距離によって、各トランジスタのチャネル形成領域の抵抗にバラツキが生じ、素子特性にもバラツキが生じるという問題点があった。

#### 【0 0 0 8】

また、ボーダーレスコンタクト構造を用いて素子密度を向上させようとする、分離酸化膜 1 0 4 と T E O S 酸化膜（tetraethyl orthosilicate）などからなる層間絶縁膜 1 0 1 1 が同質膜であるため、層間絶縁膜 1 0 1 1 にコンタクトホール 1 0 1 3 を形成する際に、分離酸化膜 1 0 4 もエッチングされてしまうという問題点があった。

図 2 4 は従来の半導体装置を示す断面図である。この図に示したように、分離酸化膜 1 0 4 がエッチングされると、分離酸化膜 1 0 4 下の p 型半導体層 1 0 3 とソース・ドレイン領域 1 0 7 または 1 0 8 によって形成される p n 接合と、配

線 1 0 1 0 との距離が短くなり、接合リーク電流の増加を引き起こす。

【 0 0 0 9 】

本発明は、上記した課題を解決するためになされたもので、複数のトランジスタのチャネル形成領域の電圧を一括して固定することができる P T I 構造の分離絶縁膜を備えた半導体装置において、基板浮遊効果を抑制し、分離特性および耐圧の向上した半導体装置およびその製造方法を得ることを目的とするものである。

また、ボーダーレス構造の半導体装置においても接合リーク電流を抑制し、微細化および低消費電力化された半導体装置およびその製造方法を得ることを目的とするものである。

【 0 0 1 0 】

【課題を解決するための手段】

この発明に係る半導体装置は、半導体基板と、この半導体基板の主表面上全体に配設された埋込絶縁膜と、この埋込絶縁膜の表面上に配設された第 1 導電型の半導体層からなる S O I 基板を備え、半導体層の主表面に配設された第 1 の活性領域と第 2 の活性領域との間に配設され、埋込絶縁膜との間に半導体層を残して半導体層主表面に形成された分離絶縁膜と、第 1 の活性領域の半導体層主表面に所定の距離を隔てて形成された第 2 導電型の第 1 のソース領域およびドレイン領域と、第 1 のソース領域およびドレイン領域に挟まれる領域と対向するように半導体層の主表面上に第 1 のゲート絶縁膜を介在して形成された第 1 のゲート電極と、第 2 の活性領域の半導体層主表面に形成され、分離絶縁膜下の半導体層を介して、第 1 のソース領域およびドレイン領域に挟まれる領域に電氣的に接続する第 1 導電型の第 1 の不純物領域と、第 1 および第 2 の活性領域の半導体層および分離絶縁膜表面上に形成された第 1 の層間絶縁膜と、第 1 の層間絶縁膜上に形成されたシリコン窒化膜と、シリコン窒化膜表面上に形成された第 2 の層間絶縁膜と、第 1 および第 2 の層間絶縁膜およびシリコン窒化膜に形成されたコンタクトホールを通して第 1 のソース領域およびドレイン領域および第 1 の不純物領域にそれぞれ接続する配線とを備えたものであり、素子表面上に層間絶縁膜を介して形成されたシリコン窒化膜を備えているため、このシリコン窒化膜のストレスに

よって、分離絶縁膜下の半導体層にライフタイムキラーとなる欠陥が発生して、キャリア（nMOSならば正孔、pMOSならば電子）の寿命を短くすることができる。

#### 【0011】

また、半導体層の主表面に配設された第3の活性領域と、第3の活性領域および第1の活性領域との間に分離絶縁膜を介して、半導体層主表面に配設された第4の活性領域と、第4の活性領域の半導体層主表面に形成された第2導電型の第2の不純物領域と、第2の不純物領域主表面に所定の距離を隔てて形成された第1導電型の第2のソース領域およびドレイン領域と、第2のソース領域およびドレイン領域に挟まれる領域と対向するように半導体層の主表面上に第2のゲート絶縁膜を介在して形成された第2のゲート電極と、第3の活性領域の半導体層主表面に形成され、分離絶縁膜下の半導体層を介して、第2のソース領域およびドレイン領域に挟まれる領域に電氣的に接続する第2導電型の第3の不純物領域とを備え、分離絶縁膜は、埋込絶縁膜との間に半導体層を残して半導体層主表面に形成され、第1の層間絶縁膜、シリコン窒化膜および第2の層間絶縁膜は、第3および第4の活性領域の半導体層表面上にまで延びて形成されており、第1および第2の層間絶縁膜およびシリコン窒化膜に形成されたコンタクトホールを通して第2のソース領域およびドレイン領域および第3の不純物領域にそれぞれ接続する配線をさらに備えたことを特徴とするものであり、分離絶縁膜下の半導体層に発生した欠陥によって、隣接するpMOSトランジスタとnMOSトランジスタとの間での耐圧が向上する。

#### 【0012】

また、半導体層の主表面に配設された第3の活性領域と、第3の活性領域および第1の活性領域との間に分離絶縁膜を介して、半導体層主表面に配設された第4の活性領域と、第4の活性領域の半導体層主表面に形成された第2導電型の第2の不純物領域と、第2の不純物領域主表面に所定の距離を隔てて形成された第1導電型の第2のソース領域およびドレイン領域と、第2のソース領域およびドレイン領域に挟まれる領域と対向するように半導体層の主表面上に第2のゲート絶縁膜を介在して形成された第2のゲート電極と、第3の活性領域の半導体層主

表面に形成され、分離絶縁膜下の半導体層を介して、第2のソース領域およびドレイン領域に挟まれる領域に電氣的に接続する第2導電型の第3の不純物領域とをさらに備え、第1の活性領域と第4の活性領域との間に配設された分離絶縁膜は、埋込絶縁膜まで到達し、第1の層間絶縁膜、シリコン窒化膜および第2の層間絶縁膜は、第3および第4の活性領域の半導体層表面上にまで延びて形成されており、第1および第2の層間絶縁膜およびシリコン窒化膜に形成されたコンタクトホールを通して第2のソース領域およびドレイン領域および第3の不純物領域にそれぞれ接続する配線を備えていることを特徴とするものであり、隣接するpMOSトランジスタとnMOSトランジスタの間での耐圧が向上する。

## 【0013】

また、ソース領域およびドレイン領域に接続する配線が、ソース領域およびドレイン領域にそれぞれ隣接する分離絶縁膜表面に延在することを特徴とするものであり、シリコン窒化膜によって、ソース領域およびドレイン領域に到達するコンタクトホールを形成する際に分離絶縁膜のエッチングされるのが抑制されて、半導体層とソース・ドレイン領域からなるpn接合と、配線との距離を十分に保つことができる。

## 【0014】

さらに、分離絶縁膜表面に延在する配線に接続するソース領域およびドレイン領域に隣接して、分離絶縁膜下の半導体層に形成され、隣接するソース領域およびドレイン領域とそれぞれ同一導電型の不純物を有する不純物領域を備えたことを特徴とするものであり、コンタクトホール形成の際に露出する分離絶縁膜がエッチングされることがあっても、それぞれのソース・ドレイン領域に隣接して、ソース・ドレイン領域と同一導電型の不純物領域が形成されているので、配線と分離絶縁膜下の半導体層との距離を十分に保つことができ、この部分での接合リーク電流を発生するおそれがなくなる。

## 【0015】

また、シリコン窒化膜が全面に形成されていることを特徴とするものであり、シリコン窒化膜によって、ゲート絶縁膜および埋込酸化膜への水素の侵入が防止される。

## 【 0 0 1 6 】

また、ソース領域およびドレイン領域の表面に形成された金属シリサイド層をさらに備えたことを特徴とするものであり、この金属シリサイド層が第1の層間絶縁膜をエッチングする際のエッチングストップとして働くので、エッチングマージンが増える。

## 【 0 0 1 7 】

また、半導体基板表面上に埋込酸化膜を介して形成された第1導電型の半導体層を有するSOI基板の、半導体層主表面に配設された第1および第2の活性領域を取り囲み、その下に半導体層の一部が残る分離絶縁膜を形成する工程と、第2の活性領域の半導体層主表面に第1導電型の第1の不純物領域を形成する工程と、第1の活性領域の半導体層主表面上に、ゲート絶縁膜を介して第1のゲート電極を形成する工程と、第1の活性領域の半導体層の第1のゲート電極と対向する領域を挟んだ主表面に所定の距離を隔てた第2導電型の第1のソース領域およびドレイン領域を形成する工程と、第1および第2の活性領域の半導体層および分離絶縁膜表面上に第1の層間絶縁膜を形成する工程と、第1の層間絶縁膜上にシリコン窒化膜を形成する工程と、シリコン窒化膜表面上に第2の層間絶縁膜を形成する工程と、第1および第2の層間絶縁膜およびシリコン窒化膜に、第1のソース領域およびドレイン領域および第1の不純物領域にそれぞれ到達するコンタクトホールを形成する工程と、コンタクトホールを通して第1のソース領域およびドレイン領域および第1の不純物領域にそれぞれ接続する配線を形成する工程とを備えたものであり、シリコン窒化膜のストレスによって、分離絶縁膜下の半導体層にライフタイムキラーとなる欠陥が発生して、キャリア（nMOSならば正孔、pMOSならば電子）の寿命を短くすることができる。

## 【 0 0 1 8 】

加えて、分離絶縁膜はさらに、半導体層の主表面に第1の活性領域に隣接して配設された第3の活性領域およびこの第3の活性領域に隣接して配設された第4の活性領域を取り囲んで形成され、分離絶縁膜を形成する工程の後で、第1の不純物領域を形成する前に、第4の活性領域に第2導電型の第2の不純物領域を形成する工程を備え、第3の活性領域の半導体層主表面に第2導電型の第3の不純

物領域を形成する工程と、第2不純物領域主表面上に、ゲート絶縁膜を介して第2のゲート電極を形成する工程と、第2の不純物領域の第2のゲート電極と対向する領域を挟んだ主表面に所定の距離を隔てた第1導電型の第2のソース領域およびドレイン領域を形成する工程とをさらに備え、第1の層間絶縁膜、シリコン窒化膜および第2の層間絶縁膜は、第3および第4の活性領域の半導体層表面上にまで延びて形成され、第1および第2の層間絶縁膜およびシリコン窒化膜に、第2のソース領域およびドレイン領域および第3の不純物領域にそれぞれ到達するコンタクトホールを形成する工程と、コンタクトホールを通して第2のソース領域およびドレイン領域および第3の不純物領域にそれぞれ接続する配線を形成する工程とを備えたことを特徴とするものであり、分離絶縁膜下の半導体層に欠陥が発生し、隣接するpMOSトランジスタとnMOSトランジスタとの間での耐圧が向上してラッチアップ耐性が向上した半導体装置を得ることができる。

## 【0019】

また、コンタクトホールを形成する工程は、第2の層間絶縁膜をエッチングする工程と、第1の層間絶縁膜を形成する工程とを備えていることを特徴とするものであり、第1の層間絶縁膜のエッチング条件の制御によって、半導体層のオーバーエッチングを抑制することができる。

## 【0020】

さらに、ソース領域およびドレイン領域に到達するコンタクトホールは、ソース領域およびドレイン領域にそれぞれ隣接する分離絶縁膜表面上に延びて形成されていることを特徴とするものであり、シリコン窒化膜を用いて、第1の層間絶縁膜と第2の層間絶縁膜のエッチングを分けて行ってコンタクトホールを形成しているため、第1の層間絶縁膜のエッチング条件の制御によって、半導体層のオーバーエッチングを抑制することができ、接合リーク電流を発生するおそれがない半導体装置を得ることができるとともに、ソース・ドレイン領域に到達するコンタクトホールを形成する際に分離絶縁膜のエッチングされるのが抑制されて、半導体層とソース・ドレイン領域からなるpn接合と、配線との距離を十分に保つことができ、半導体装置の素子密度の向上と信頼性の向上を図ることができる。



## 【 0 0 2 1 】

さらに、第 2 の層間絶縁膜は、シリコン窒化膜との選択比が高い物質によってエッチングされ、第 1 の層間絶縁膜は、シリコン窒化膜との選択比が低い物質によってエッチングされることを特徴とするものであり、シリコン窒化膜との選択比を利用して、第 1 の層間絶縁膜と第 2 の層間絶縁膜のエッチングを行っているため、制御性よくコンタクトホールを形成することができる。

## 【 0 0 2 2 】

## 【発明の実施の形態】

## 実施の形態 1.

図 1 はこの発明の実施の形態 1 に係る半導体装置の断面図であり、図 1 において、1 は半導体基板、2 は埋込酸化膜、3 は半導体層、4 は分離絶縁膜、5 はゲート絶縁膜、6 はゲート電極、7、7 1、8 および 8 1 はソース・ドレイン領域、7 2 および 8 2 はポケット注入領域、9 はサイドウォール絶縁膜、1 0 および 1 1 0 は配線、1 1 は層間絶縁膜、1 2 は p 型不純物領域、1 3 はコンタクトホール、1 4 はシリコン窒化膜である。

また、図 2 はこの発明の実施の形態 1 にかかる半導体装置の上面図であり、図 1 は、図 2 に示した A - A 断面における断面図である。この図においては、層間絶縁膜 1 1 および 1 1 1、シリコン窒化膜 1 4、配線 1 0、サイドウォール絶縁膜 9、ソース・ドレイン領域 7 1 および 8 1、ポケット注入領域 7 2 および 8 2 は、簡単のため省略している。

## 【 0 0 2 3 】

図 1 を参照して、半導体基板 1 表面上全面に埋込酸化膜 2 を介して半導体層 3 が形成されたものは、S O I 基板と呼ばれており、その形成方法は、張り合わせ法や S I M O X 法など、様々なものがあるが、いずれの方法で形成されていてもかまわない。そして、埋込酸化膜 2 の膜厚は 1 0 0 n m ~ 5 0 0 n m 程度であり、半導体層 3 は膜厚が 3 0 ~ 4 0 0 n m 程度で、ボロンなどの p 型不純物を  $1 \times 10^{15} \sim 1 \times 10^{16} / \text{cm}^3$  程度含んでいる。

## 【 0 0 2 4 】

そして、半導体層 3 に形成された p 型不純物領域 1 2 と、シリコン酸化膜など

の分離絶縁膜 4 (PTI) からなる部分分離領域によって、トランジスタが形成された活性領域が取り囲まれて互いに分離されており、最小分離幅は 200 nm 程度である。また、分離絶縁膜 4 の膜厚は、半導体層 3 の膜厚の 2 分の 1 から 3 分の 1 程度で、分離絶縁膜 4 下の半導体層 3 の膜厚が 10 ~ 200 nm 程度となるように設定する。

## 【0025】

そして、分離絶縁膜 4 の上面は半導体層 3 の表面と同一であることが微細加工上好ましいが、半導体層 3 が薄い場合は、分離絶縁膜 4 下の半導体層 3 の膜厚を十分に残そうとすると、素子分離に必要な膜厚を取ることが難しくなるため、分離絶縁膜 4 の上面を半導体層 3 表面よりも高く形成した方が素子分離性能が向上する。また、半導体層 3 と分離絶縁膜 4 との間には、必要に応じて 5 ~ 30 nm 程度のシリコン酸化膜が形成されている (図示せず)。ここでは、分離絶縁膜 4 としてシリコン酸化膜を用いているが、シリコン窒化膜、シリコン酸窒化膜、フッ素を含有したシリコン酸化膜またはポーラス状のシリコン酸化膜など、他の絶縁膜でもかまわない。

## 【0026】

ソース・ドレイン領域 7、8、71、81、ポケット注入領域 72、82 および p 型不純物領域 12 は p 型半導体層 3 に不純物を注入して形成されており、p 型不純物領域 12 はボロンなどを  $1 \times 10^{17} \sim 1 \times 10^{18} / \text{cm}^3$  程度含んでいる。また、ポケット注入領域 72 および 82 は、B、BF<sub>2</sub> または In  $1 \times 10^{17} \sim 1 \times 10^{19} / \text{cm}^3$  程度含んでいる。このポケット注入領域 72 および 82 は短チャネル効果を抑制するためのものであり、ゲート絶縁膜やソース・ドレイン領域の接合深さなどを調節して最適化すれば、形成不要となる場合もある。

また、ソース・ドレイン領域 7 および 8 はヒ素などの n 型不純物を  $1 \times 10^{19} \sim 1 \times 10^{21} / \text{cm}^3$  程度含んで、埋込酸化膜 2 まで到達して形成されており、ソース・ドレイン領域 71 および 81 はリンなどの n 型不純物を  $1 \times 10^{18} \sim 1 \times 10^{20} / \text{cm}^3$  程度含んで、ソース・ドレイン領域 7 および 8 とともに LDD (Lightly Doped Drain) 構造となっている。ただし、LDD 構造は、必要に応じて形成される。また、ソース・ドレイン領域 7 および 8 は埋込酸化膜 2 まで到達

達しない場合もある。

【0027】

ゲート絶縁膜5としては、 $\text{SiO}_2$ 、 $\text{SiON}$ 、 $\text{SiO}_2/\text{Si}_3\text{N}_4/\text{SiO}_2$  (ONO) の積層膜、 $\text{Ta}_2\text{O}_5$ 、 $\text{Al}_2\text{O}_3$ 、BST膜 ( $\text{Ba}_x\text{Sr}_{1-x}\text{TiO}_3$  : Barium Strontium Titanium) などがある。

ゲート電極6は、リンなどのn型不純物を  $2 \sim 15 \times 10^{20} / \text{cm}^3$  程度含み、膜厚が  $100 \sim 400 \text{ nm}$  程度のポリシリコンで形成されているが、これ以外にも、不純物を含んだポリシリコンと  $\text{TiSi}_2$ 、 $\text{CoSi}_2$ 、 $\text{NiSi}_2$ 、 $\text{WSi}_2$ 、 $\text{TaSi}_2$ 、 $\text{MoSi}_2$ 、 $\text{HfSi}_2$ 、 $\text{Pd}_2\text{Si}$ 、 $\text{PtSi}_2$ 、 $\text{ZrSi}_2$  などの金属シリサイド層または、W、Mo、Cu、Alなどの金属との積層構造でもよいし、W、Mo、Cu、Alなどの金属で形成されていてもよい。また、ソース・ドレイン領域7、8およびp型不純物領域12の表面にも  $\text{TiSi}_2$ 、 $\text{CoSi}_2$ 、 $\text{NiSi}_2$ 、 $\text{WSi}_2$ 、 $\text{TaSi}_2$ 、 $\text{MoSi}_2$ 、 $\text{HfSi}_2$ 、 $\text{P}_2\text{Si}$ 、 $\text{PtSi}_2$ 、 $\text{ZrSi}_2$  などの金属シリサイドが形成されていてもよい (図示せず)。

【0028】

サイドウォール絶縁膜9は、シリコン酸化膜、TEOS膜、 $\text{Si}_3\text{N}_4$ 膜または  $\text{Si}_3\text{N}_4/\text{SiO}_2$  の積層膜などで形成されているが、 $\text{Si}_3\text{N}_4$ 膜または  $\text{Si}_3\text{N}_4/\text{SiO}_2$  の積層膜などのように窒素を含んだ膜の方が、コンタクトホール13形成のマスクずれによってもエッチングされるおそれがなくなる。また、シリコン窒化膜14との相乗効果で、ソース領域として動作するソース・ドレイン領域7および71、または8および81近傍の、チャネル形成領域となる半導体層3に、ストレスによって発生する欠陥密度を高めることができ、チャネル形成領域のキャリア (nMOSならば正孔、pMOSならば電子) がソース領域に吸収されて、基板フローティング効果をよりいっそう抑制することができる。

【0029】

層間絶縁膜11および111は、プラズマCVD法、LPCVD (Low Pressure Chemical Vapor Deposition) 法、または常圧CVD法などで形成されたシリコン酸化膜からなり、層間絶縁膜11は  $10 \sim 300 \text{ nm}$  程度、層間絶縁膜11

1 は 1 0 0 ~ 2 0 0 0 n m 程度 の 膜 厚 を 有 す る 。 ま た 、 シ リ コ ン 酸 化 膜 の 代 わ り に 、 T E O S (Tetra Etyle Ortho Silicate) 膜 、 S O G (Spin On Glass) 膜 や 、 不 純 物 が 注 入 さ れ た P S G (Phospho Silicate Glass) 、 B S G (Boro Silicate Glass) 、 B P S G (Boro Phospho Silicate Glass) ま た は B P T E O S (Boro Phospho TEOS) で 形 成 さ れ て い て も よ い 。

#### 【 0 0 3 0 】

シ リ コ ン 窒 化 膜 1 4 は 5 0 ~ 1 0 0 n m 程度 の 膜 厚 を 有 し 、 0 . 1  $\mu$  m ~ 0 . 5  $\mu$  m 径 の コ ン タ ク ト ホ ール 1 3 が 形 成 さ れ て い る 部 分 を 除 い て 全 面 に 形 成 さ れ て い る 。 そ し て 、 こ の シ リ コ ン 窒 化 膜 1 4 が 形 成 さ れ た こ と に よ っ て 、 分 離 絶 縁 膜 4 の 下 の 半 導 体 層 3 に 欠 陥 が 形 成 さ れ る 。

図 3 は こ の 発 明 の 実 施 の 形 態 1 に 係 る 半 導 体 装 置 の 断 面 図 で あ り 、 図 1 に 示 し た 破 線 B で 取 り 囲 ん だ 部 分 の 拡 大 図 で あ る 。 こ の 図 に 示 し た よ う に 、 分 離 絶 縁 膜 4 下 に 欠 陥 が 形 成 さ れ る 。

#### 【 0 0 3 1 】

一 般 的 に シ リ コ ン 窒 化 膜 の 組 成 と し て は 、  $1 \times 10^{11} \text{ dyn/cm}^2$  程度 の ス ト レ ス を 有 す る  $\text{Si}_3\text{N}_4$  が 知 ら れ て い る が 、  $\text{Si}_x\text{N}_y$  の  $\text{Si}$  に 対 す る  $\text{N}$  の 比 率 に よ っ て 膜 ス ト レ ス を 制 御 す る こ と が で き る 。 さ ら に 、  $\text{O}$  を 添 加 し て 、  $\text{O}$  と  $\text{N}$  の 組 成 比 を 変 化 さ せ る こ と に よ っ て も 膜 ス ト レ ス を 制 御 す る こ と が で き る た め 、 シ リ コ ン 窒 化 膜 の 代 わ り に シ リ コ ン 酸 窒 化 膜 ( $\text{SiON}$ ) を 形 成 し て も よ い 。

#### 【 0 0 3 2 】

次 に 動 作 に つ い て 説 明 す る 。 図 1 を 参 照 し て 、 例 え ば n M O S ト ラ ン ジ ス タ の 場 合 、 各 電 極 に 印 加 す る 電 圧 は 、  $V_G = 1.8 \text{ V}$  、  $V_D = 1.8 \text{ V}$  、  $V_S = 0 \text{ V}$  、  $V_B = 0 \text{ V}$  程 度 で あ り 、 ゲ ー ト 電 極 5 下 の 半 導 体 層 3 表 面 に チ ャ ネ ル が 形 成 さ れ 、 ソ ー ス ・ ド レ イ ン 領 域 7 お よ び 7 1 、 ま た は ソ ー ス ・ ド レ イ ン 領 域 8 お よ び 8 1 の 一 方 が ソ ー ス 領 域 、 他 方 が ド レ イ ン 領 域 と な り 、 回 路 と し て 動 作 す る 。 分 離 絶 縁 膜 4 下 の 半 導 体 層 3 は 、 ゲ ー ト 電 極 6 下 の 半 導 体 層 3 と 同 様 に p 型 の 不 純 物 を 含 ん で い る た め 、 ゲ ー ト 電 極 6 下 の 半 導 体 層 3 に は 、 不 純 物 領 域 1 2 を 介 し て 配 線 1 1 0 か ら 電 圧 が 印 加 さ れ る 。

こ れ ら の 電 圧 は 一 例 で あ り 、 ゲ ー ト 絶 縁 膜 厚 や ゲ ー ト 長 に よ っ て 変 動 す る も の

である。

#### 【 0 0 3 3 】

この実施の形態 1 においては、nMOS トランジスタが形成されている場合について説明を行ったが、pMOS トランジスタが形成される場合は、半導体層 3 に含まれる不純物はリンやヒ素などの n 型の不純物、ソース・ドレイン領域 7、8、7 1 および 8 1 に含まれる不純物はボロンなどの p 型の不純物、ポケット注入領域 7 2 および 8 2 に含まれる不純物は As、P または Sb などの n 型の不純物、ゲート電極 6 に含まれる不純物は、ボロンなどの p 型の不純物とする。そして p 型不純物領域 1 2 に替えて n 型不純物領域を形成する。この場合の印加電圧はそれぞれ、 $V_G = 0 \text{ V}$ 、 $V_D = 0 \text{ V}$ 、 $V_S = 1.8 \text{ V}$ 、 $V_B = 1.8 \text{ V}$  程度である。

#### 【 0 0 3 4 】

さらに、この実施の形態においては、配線 1 0 および 1 1 0 の配置についての一例を示しているが、回路の構成によって、配線とトランジスタとの間に形成される層間絶縁膜の層数、配置などは異なるものであり、また、一つの活性領域に一つのトランジスタが形成された半導体装置を用いて説明を行っているが、特にこれに限られるものではない。

#### 【 0 0 3 5 】

また、この実施の形態 1 においては、シリコン窒化膜 1 4 が全面に形成された図によって説明を行ったが、PTI と FTI が併用されている半導体装置においては（図示せず）、素子分離として PTI が用いられている領域にシリコン窒化膜 1 4 が形成されていれば、分離特性を向上させることができる。

#### 【 0 0 3 6 】

図 4 はこの発明の実施の形態 1 に係る別の半導体装置を示す断面図であり、図において 1 4 1 はシリコン窒化膜である。この図に示したように、サイドウォール絶縁膜 9 を  $\text{Si}_3\text{N}_4$  膜または  $\text{Si}_3\text{N}_4/\text{SiO}_2$  の積層膜などのような窒素を含んだ膜で形成するとともに、ゲート電極 6 の表面上にシリコン窒化膜 1 4 1 が形成されていると、ゲート電極 6 と配線 1 0 が接続するおそれがよりいっそうなくなる。

## 【 0 0 3 7 】

図 5 はこの発明の実施の形態 1 に係るさらに別の半導体装置を示す断面図であり、図 6 は、この発明の実施の形態 1 にかかるさらに別の半導体装置を示す上面図である。図 5 に示した半導体装置の断面図は、図 6 中の C - C 断面における断面図である。これらの図を参照して、ゲート電極 6 とソース・ドレイン領域 7 の両方に接続する配線 1 0 を備えており、この部分のコンタクトホール径は他の部分のコンタクトホール径の約 2 倍程度である。このような構造の半導体装置は、一般的にシェアドコンタクト構造と呼ばれ、ゲート電極 6 とソース・ドレイン領域 7 が常に同電位で動作する S R A M メモリセルなどに用いられる。この配線構造以外は、図 1 に示した半導体装置と同様の構造である。

## 【 0 0 3 8 】

図 7 は、この発明の実施の形態 1 に係るさらに別の半導体装置を示す断面図であり、1 1 3 は層間絶縁膜、1 3 1 はコンタクトホール、2 1 0 は配線である。この図を参照して、層間絶縁膜 1 1 3 に形成されたコンタクトホール 1 3 1 を通って、ゲート電極 6 に配線 2 1 0 が接続されるが、このコンタクトホール 1 3 1 が形成される領域は、分離絶縁膜 4 が埋込酸化膜 2 まで到達する F T I となっている以外は、図 1 および図 2 に示した半導体装置と同様の構造である。

図 8 は、図 7 に示した半導体装置の上面図であり、図 7 に示した断面図は、図 8 に示した D - D 断面における断面図である。図 8 を参照して、破線 E で取り囲まれた部分が F T I となっている。図 8 においては、簡単のため、層間絶縁膜は図示していない。

このように F T I と P T I を併用すると、コンタクトホール 1 3 1 形成の際にマスクずれが発生しても、分離絶縁膜 4 がエッチングされて半導体層 3 に到達するというおそれがなく、信頼性が向上する。

## 【 0 0 3 9 】

この実施の形態 1 に示した半導体装置によれば、半導体基板と、この半導体基板の表面上全体に配設された埋込絶縁膜と、さらにその表面上に配設された半導体層とからなる S O I 基板主表面に素子が形成された半導体装置において、素子表面上に層間絶縁膜を介して形成されたシリコン窒化膜を備えているため、この

シリコン窒化膜のストレスによって、分離絶縁膜下の半導体層にライフタイムキラとなる欠陥が発生して、キャリア（nMOSならば正孔、pMOSならば電子）の寿命を短くすることができる。このため、分離絶縁膜下の半導体層が薄くなっても、ゲート電極下のチャネル形成領域の電位を安定に固定でき、遅延時間の周波数依存性が抑えられるなど、基板浮遊効果が抑制されるため、半導体装置の信頼性が向上する。

## 【 0 0 4 0 】

また、ゲート絶縁膜に水素が進入して、半導体層とゲート絶縁膜の界面で水素終端すると、ホットキャリア耐性が劣化することが知られているが、シリコン窒化膜が形成されているため、ゲート絶縁膜および埋込酸化膜への水素の侵入が防止され、ホットキャリア耐性が向上するという効果を奏する。

## 【 0 0 4 1 】

また、シリコン窒化膜において、Siに対するNの比率を制御したり、シリコン酸窒化膜において、OとNの比率を制御することによって、シリコン窒化膜やシリコン酸窒化膜の膜ストレスを高くすることができ、PTIの分離絶縁膜下の半導体層に発生する欠陥密度を高めることができるため、ライフタイムキラの役割が高められる。

## 【 0 0 4 2 】

次にこの発明の実施の形態1に係る半導体装置の製造方法について説明する。

図9～図13は、実施の形態1を示す半導体装置の製造方法の一工程を示す断面図であり、図9において、31はシリコン酸化膜、32はシリコン窒化膜、41は溝である。図9を参照して、半導体基板1の表面上に埋込酸化膜2および半導体層3を備えたSOI基板の、半導体層3表面上に、5～40nm程度の膜厚を有するシリコン酸化膜31を形成する。このシリコン酸化膜31の形成方法としては、熱酸化法や、TEOS酸化膜をCVD法によって形成する方法などがある。

## 【 0 0 4 3 】

そして、LPCVD法やプラズマ窒化膜CVD法によって、50～300nm程度の膜厚を有するシリコン窒化膜32を形成し、フォトリソマスク（図示

せず)を用いて分離領域上のシリコン窒化膜32およびシリコン酸化膜31をR I E (Reactive Ion Etching) または、E C R (Electron Cyclotron Resonance) 装置を用いた異方性エッチングにより選択的に除去する。そして、フォトレジストマスクを除去した後にシリコン窒化膜32をマスクとしてR I E またはE C R 装置を用いて半導体基板1を異方性エッチングし、半導体基板1の表面に、深さ20~300nm程度の溝41を形成する。この溝41の幅は100~500nm程度であり、溝41の下に半導体層3が10~100nm程度残るように調節する。図9はこの工程が終わった段階での半導体装置の素子を示す断面図である。

#### 【0044】

図10において、42は溝、301はフォトレジストマスクである。P T I とF T I を併用する場合は、図9に示した工程の後に、F T I とする部分を開口するフォトレジストマスク301を形成して、溝41の底部をエッチングし、埋込酸化膜2まで到達する溝42を形成する。図10はこの工程が終わった段階での半導体装置の素子を示す断面図である。フォトレジストマスク301は、溝41の内部まで形成してもよいし、シリコン窒化膜32表面上に形成してもよい。

#### 【0045】

次にプラズマT E O S またはH D P (High Density Plasma) 装置により全面にシリコン酸化膜を100nm~500nm程度の膜厚で形成し(図示せず)、1000~1100℃程度の熱処理を行って膜質を向上させる。そして、シリコン窒化膜32をストッパーとしたC M P (Chemical Mechanical Polishing) 法によって、シリコン窒化膜32表面上のシリコン酸化膜を除去し、溝41、シリコン酸化膜31およびシリコン窒化膜32からなる開口の内部のみにシリコン酸化膜を残す。その後、この開口内部のシリコン酸化膜表面と、半導体層3表面との段差をなくするためにシリコン酸化膜をエッチングしてから、熱リン酸によるウェットエッチングでシリコン窒化膜32を除去し、シリコン酸化膜31を除去して、分離絶縁膜4が形成される。図11はこの工程が終わった段階での断面図である。



## 【 0 0 4 6 】

溝 4 1 内に、シリコン酸化膜を堆積させる前に 9 0 0 ~ 1 0 0 0 ° C 程度の高温熱酸化を行うと、溝 4 1 底面と側面とによって形成されるシリコンの角部や、溝 4 1 側面と半導体層 3 表面によって形成されるシリコンの角部を丸めることができ、この部分でのストレスが緩和される。

## 【 0 0 4 7 】

そして、熱酸化によるシリコン酸化膜を全面に形成してから（図示せず）、チャネル形成領域の電位を固定するための配線を形成する部分に開口を有するフォトレジストマスク（図示せず）を形成し、nMOS の場合は、B、BF<sub>2</sub>、In などの p 型の不純物をイオン注入して、 $1 \times 10^{17} \sim 1 \times 10^{18} / \text{cm}^3$  程度の不純物濃度を有する p 型不純物領域 1 2 を形成する。pMOS の場合は、P、As、Sb などの n 型の不純物によって n 型不純物領域を形成する。

さらに、必要に応じて、nMOS の場合はボロンや弗化ボロン、pMOS の場合リンやヒ素などの不純物を 1 0 ~ 2 0 KeV、 $1 \times 10^{12} \sim 5 \times 10^{12} / \text{cm}^2$  程度で全面にイオン注入して、チャネル形成領域にしきい値を調整する不純物を導入する（図示せず）。このシリコン酸化膜はイオン注入の際のダメージから半導体基板表面を保護するものであり、これらのイオン注入後に除去する。

## 【 0 0 4 8 】

次に、図 1 2 を参照して、ゲート絶縁膜 5 として、例えば、シリコン酸化膜を 7 ~ 1 0 nm 程度の膜厚で半導体基板 1 表面全体に熱酸化によって形成してから、ゲート電極 6 となるポリシリコン層を、LPCVD 法によって 1 0 0 ~ 4 0 0 nm 程度全面に堆積させた後、フォトレジストマスク（図示せず）を用いて、RIE または ECR などの異方性エッチング装置によってパターニングすることで、ゲート電極となるポリシリコン層 6 を形成する。この時、ポリシリコン層の表面上にシリコン酸化膜や、シリコン窒化膜とシリコン酸化膜の積層膜を形成してから、フォトレジストマスクを用いて、これらの膜を一旦パターニングし、その後で、このパターニングされた膜を用いてポリシリコン層を加工してもよい。また、ポリシリコン層の表面上に WSi などの金属シリサイド層を堆積させてからパターニングしてもよい（図示せず）。

## 【0049】

その後、nMOSの場合にはボロンやフッ化ボロンなど、pMOSの場合にはリンやヒ素などを $1 \times 10^{12} \sim 1 \times 10^{14} / \text{cm}^2$ 程度でそれぞれイオン注入して、ポケット注入領域72および82を形成する。

そして、nMOSの場合にはリンやヒ素、pMOSの場合にはボロンやフッ化ボロンなどを20～40 keV、 $1 \sim 3 \times 10^{13} / \text{cm}^2$ 程度でそれぞれイオン注入して、ソース・ドレイン領域71および81を形成する。

次に、プラズマCVD法により全面にシリコン酸化膜を30～100 nm程度の膜厚で堆積し、エッチバックすることによって、サイドウォール絶縁膜9を形成した後、nMOSの場合はヒ素など、pMOSの場合はボロンや弗化ボロンなどを10 keV、 $1 \times 10^{14} \sim 1 \times 10^{16} / \text{cm}^2$ 程度でイオン注入してソース・ドレイン領域7および8を形成する。図12はこの工程が終わった段階での半導体装置の素子を示す断面図である。

## 【0050】

サイドウォール絶縁膜9は、TEOS膜などでもよく、LPCVD法やプラズマCVD法で $\text{Si}_3\text{N}_4$ や、 $\text{Si}_3\text{N}_4 / \text{SiO}_2$ の積層膜を形成してもよい。積層膜とする場合は、例えば、シリコン酸化膜をRTO (Rapid Thermal Oxidation) で形成してからシリコン窒化膜をCVD法で堆積し、エッチバックして形成する。

ポケット注入領域72および82が形成されない場合もあり、ソース・ドレイン領域も必要に応じてLDD構造とするため、場合によって、ソース・ドレイン領域7および8を形成しない場合もある。注入された不純物は800～1150℃程度で10～30分程度アニールすることで活性化される。

## 【0051】

ゲート電極6やソース・ドレイン領域7および8表面に $\text{CoSi}_2$ などの金属シリサイド層を形成する場合は、この段階で、全面にコバルトを堆積してRTA (Rapid Thermal Anneal) 処理すると、シリコンが露出したゲート電極6表面やソース・ドレイン領域7および8表面で反応し、この部分に金属シリサイド層が形成される。その後、未反応のまま残ったコバルトを除去する(図示せず)。C

o  $\text{Si}_2$  以外に、 $\text{TiSi}_2$ 、 $\text{NiSi}_2$ 、 $\text{WSi}_2$ 、 $\text{TaSi}_2$ 、 $\text{MoSi}_2$ 、 $\text{HfSi}_2$ 、 $\text{Pd}_2\text{Si}$ 、 $\text{PtSi}_2$ 、 $\text{ZrSi}_2$  などの金属シリサイドでもよい。

#### 【0052】

図13において、302はフォトレジストマスクである。

図13を参照して、層間絶縁膜11となるシリコン酸化膜をプラズマCVD法、LPCVD法、または常圧CVD法などで10～300nm程度堆積する。層間絶縁膜11は、シリコン酸化膜の代わりに、TEOS膜、SOG膜や、不純物が注入されたPSG、BSG、BPSGまたはBPTEOSで形成されていてもよい。

#### 【0053】

その後、LPCVD (600～800℃)、プラズマCVD (300～500℃) または常圧CVD (300～500℃) などで50～100nm程度の膜厚を有するシリコン窒化膜14を形成する。シリコン窒化膜 $\text{Si}_3\text{N}_4$ の代わりに $\text{SiO}_x\text{N}_y$ を用いてもよく、SiとNの組成を $\text{Si}_3\text{N}_4$ と異ならせてもよい。LPCVD法で形成した膜は膜厚均一性がよく、緻密性や化学的安定性が高いという利点を有し、プラズマCVD法や、常圧CVD法で形成した膜は低温で形成可能であるため、不純物のTED (Transient Enhanced Diffusion) を抑制することが可能となって、トランジスタの電流駆動能力を向上することができるという利点を有する。また、プラズマCVD法は、シリコン窒化膜のSiとNの組成比の制御が容易であるため、ストレスの制御も可能となる。

#### 【0054】

そして、層間絶縁膜11と同様にして100～2000nm程度の膜厚を有する層間絶縁膜111を形成した後、CMPで平坦化してから、CMPによる表面荒れをなくすために、層間絶縁膜11と同様にして再度シリコン酸化膜を50～200nm程度の膜厚で堆積する (図示せず)。

その後、層間絶縁膜111表面上に、ソース・ドレイン領域7、8およびp型不純物領域12に接続するコンタクトホール13が形成される領域に開口を有するフォトレジストマスク302を形成してから、RIE、マグネトロンRIEまたはECR装置などで、シリコン窒化膜14との選択比が高い $\text{C}_x\text{F}_y$  (例として

、 $x=4$ 、 $y=8$ ) などのエッチングガスによって層間絶縁膜 1 1 1 をエッチングする。このとき添加ガスとして、 $H_2$  や  $CO$  を用いてもよい。図 1 3 はこの工程が終わった段階での半導体装置の素子を示す断面図である。

## 【 0 0 5 5 】

次にシリコン窒化膜とシリコン酸化膜との選択比の低い条件で、残ったシリコン窒化膜 1 4 および層間絶縁膜 1 1 をエッチングして、コンタクトホール 1 3 を形成する。

そして、ブランケット CVD 法によって W を堆積し、コンタクトホール 1 3 内を埋め込んでから、エッチバックによって平坦化する。その後、全面に Al を堆積させてから、パターニングすることによって、W と Al からなる配線 1 0 および 1 1 0 が形成され、図 1 に示した半導体装置が形成される。

この後さらに、層間絶縁膜 1 1 1 および配線 1 0、1 1 0 を形成したのと同様の工程で層間絶縁膜と配線が積層される（図示せず）。

## 【 0 0 5 6 】

配線 1 0 および 1 1 0 の W の堆積方法としては、選択 CVD 法でもよく、W の代わりに、高温スパッタ法やリフローズスパッタ法によって Al を堆積させてもよいし、LPCVD 法によって TiN やドーフトポリシリコンを堆積させてもよい。また、Al の代わりに、AlCuSi、Cu またはドーフトポリシリコンを用いてもよい。

また、配線材料として金属が使われる場合は、各コンタクトホールの内壁に、TiN などのバリアメタルを形成して、半導体層 3 へ金属が拡散するのを防止する。

## 【 0 0 5 7 】

この実施の形態においては、ソース・ドレイン領域および p 型不純物領域に接続するコンタクトホールおよび配線を同一の工程で形成したが、それぞれのコンタクトホールおよび配線の形成は、回路配置に応じて別の工程で行ってもよく、その形成順序も必要に応じて変更可能である。

## 【 0 0 5 8 】

また、ソース・ドレイン領域 7 および 8 表面にサリサイド法によって金属シリ

サイド層が形成されていると、この金属シリサイド層が層間絶縁膜 1 1 をエッチングする際のエッチングストップとして働くので、エッチングマージンが増える。

#### 【 0 0 5 9 】

この実施の形態 1 に示した半導体装置の製造方法によれば、半導体基板と、この半導体基板の表面上全体に配設された埋込絶縁膜と、さらにその表面上に配設された半導体層とからなる S O I 基板主表面に素子が形成された半導体装置において、素子表面上に層間絶縁膜を介してシリコン窒化膜を形成しているため、このシリコン窒化膜のストレスによって、分離絶縁膜下の半導体層にライフタイムキラとなる欠陥が発生して、キャリア（n M O S ならば正孔、p M O S ならば電子）の寿命を短くすることができる。このため、分離絶縁膜下の半導体層が薄くなっても、ゲート電極下のチャネル形成領域の電位が安定に固定され、遅延時間の周波数依存性が抑えられるなど、基板浮遊効果が抑制されるため、信頼性の向上した半導体装置を製造することができる。

#### 【 0 0 6 0 】

また、ゲート絶縁膜に水素が進入して、半導体層とゲート絶縁膜の界面で水素終端すると、ホットキャリア耐性が劣化することが知られているが、シリコン窒化膜が形成されているため、ゲート絶縁膜および埋込酸化膜への水素の侵入が防止され、ホットキャリア耐性が向上した半導体装置の製造方法を得ることができる。

#### 【 0 0 6 1 】

また、シリコン窒化膜を用いて、シリコン窒化膜上の膜厚の厚い層間絶縁膜と、シリコン窒化膜下の膜厚の薄い層間絶縁膜のエッチングを分けて行ってコンタクトホールを形成しているため、シリコン窒化膜下の層間絶縁膜のエッチング条件の制御によって、半導体層のオーバーエッチングを抑制することができ、接合リーク電流を発生するおそれがない半導体装置を得ることができる。

#### 【 0 0 6 2 】

実施の形態 2.

図 1 4 および図 1 5 は、この発明の実施の形態 2 に係る半導体装置の断面図で

あり、図14において、33はpウェル、34はnウェル、73、74、83および84はn型ソース・ドレイン領域、75および85はp型ポケット注入領域、76、77、86および87はp型ソース・ドレイン領域、78および88はn型ポケット注入領域、121はp型不純物領域、122はn型不純物領域である。

図14を参照して、この実施の形態においては、半導体層にイオン注入して形成されたpウェル33にnMOSトランジスタが形成され、nウェル34にpMOSトランジスタが形成されてCMOS構造となっており、nMOSトランジスタとpMOSトランジスタとの間はPTIによって分離され、また、それぞれのトランジスタのチャネル形成領域がPTI下の半導体層を通して、p型不純物領域121またはn型不純物領域122に接続されて電位固定されている。pウェル33はB、BF<sub>2</sub>、Inなどの不純物を $1 \times 10^{15} \sim 1 \times 10^{19} / \text{cm}^3$ 程度含み、nウェル34はP、As、Sbなどの不純物を $1 \times 10^{15} \sim 1 \times 10^{19} / \text{cm}^3$ 程度含んでいる。nMOSトランジスタのゲート電極6がポリシリコン層を備えている場合は、実施の形態1と同様に、リンなどのn型不純物を $2 \sim 15 \times 10^{20} / \text{cm}^3$ 程度含んでいるが、pMOSトランジスタのゲート電極6のポリシリコンに含まれる不純物については、ボロンなどのp型の不純物の場合もあるし（Dual Gate構造）、n型の不純物を含んでいる場合もある（Single Gate構造）。

これ以外の、それぞれの膜厚や不純物濃度については、実施の形態1に示した半導体装置と同様である。

### 【0063】

この実施の形態2に示した半導体装置によれば、半導体基板と、この半導体基板の表面上全体に配設された埋込絶縁膜と、さらにその表面上に配設された半導体層とからなるSOI基板主表面に素子が形成された半導体装置において、素子表面上に層間絶縁膜を介して形成されたシリコン窒化膜を備えているため、このシリコン窒化膜のストレスによって、分離絶縁膜下の半導体層にライフタイムキラとなる欠陥が発生して、キャリア（nMOSならば正孔、pMOSならば電子）の寿命を短くすることができる。このため、分離絶縁膜下の半導体層が薄く

なっても、ゲート電極下のチャネル形成領域の電位を安定に固定でき、遅延時間の周波数依存性が抑えられるなど、基板浮遊効果が抑制されるため、半導体装置の信頼性が向上する。

## 【 0 0 6 4 】

また、CMOS構造で、逆導電型のトランジスタがPTIを介して隣接している場合には、分離絶縁膜下の半導体層に発生した欠陥によって、隣接するpウェル33とnウェル34との間での耐圧が向上して、半導体装置の信頼性向上を図ることができるという効果を奏する。

## 【 0 0 6 5 】

また、ゲート絶縁膜に水素が進入して、半導体層とゲート絶縁膜の界面で水素終端すると、ホットキャリア耐性が劣化することが知られているが、シリコン窒化膜が形成されているため、ゲート絶縁膜および埋込酸化膜への水素の侵入が防止され、ホットキャリア耐性が向上するという効果を奏する。

## 【 0 0 6 6 】

また、図15に示したように、nMOS領域とpMOS領域の間をFTIとすると、製造工程は煩雑になるが、ラッチアップ耐性が向上する。

## 【 0 0 6 7 】

次にこの発明の実施の形態2に係る半導体装置の製造方法について説明する。

図16は、実施の形態2を示す半導体装置の製造方法の一工程を示す断面図であり、図16において、303はフォトレジストマスクである。

まず、実施の形態1と同様にして、半導体基板1の表面に埋込絶縁膜を介して半導体層3が配設されたSOI基板の表面に分離絶縁膜4を形成する。

そして、nMOS領域を開口するフォトレジストマスク303を形成して、全面にB、BF<sub>2</sub>、Inなどのp型の不純物をイオン注入して、 $1 \times 10^{15} \sim 1 \times 10^{19} / \text{cm}^3$ 程度の不純物濃度を有するpウェル33を形成する。図16はこの工程が終わった段階での半導体装置の素子を示す断面図である。この後、フォトレジストマスク303を除去する。

## 【 0 0 6 8 】

そして、pウェル33を形成したのと同様にして、pMOS領域を開口するフ

フォトレジストマスクを形成して、全面に P、As、Sb などの n 型の不純物をイオン注入して、 $1 \times 10^{15} \sim 1 \times 10^{19} / \text{cm}^3$  程度の不純物濃度を有する n ウェル 34 を形成する（図示せず）。その後、フォトレジストマスクを除去する。

## 【0069】

そして、実施の形態 1 に示した方法と同様にして、p 型不純物領域 121 および n 型不純物領域 122 を形成する。

これ以外の不純物注入で、nMOS 領域と、pMOS 領域とが異なる導電型となる部分については、それぞれの領域を開口するフォトレジストマスクを使って打ち分けを行い、実施の形態 1 に示した方法と同様に不純物を導入する。

## 【0070】

この実施の形態 2 に示した半導体装置の製造方法によれば、半導体基板と、この半導体基板の表面上全体に配設された埋込絶縁膜と、さらにその表面上に配設された半導体層とからなる SOI 基板主表面に素子が形成された半導体装置において、素子表面上に層間絶縁膜を介してシリコン窒化膜を形成しているため、このシリコン窒化膜のストレスによって、分離絶縁膜下の半導体層にライフタイムキラとなる欠陥が発生して、キャリア（nMOS ならば正孔、pMOS ならば電子）の寿命を短くすることができる。このため、分離絶縁膜下の半導体層が薄くなっても、ゲート電極下のチャネル形成領域の電位が安定に固定され、遅延時間の周波数依存性が抑えられるなど、基板浮遊効果が抑制されるため、信頼性の向上した半導体装置を製造することができる。

## 【0071】

また、CMOS 構造で、逆導電型のトランジスタが PTI を介して隣接している場合には、シリコン窒化膜を形成しているので、分離絶縁膜下の半導体層に欠陥が発生し、隣接する p ウェル 33 と n ウェル 34 との間での耐圧が向上してラッチアップ耐性が向上し、半導体装置の信頼性向上を図ることができるという効果を奏する。

## 【0072】

また、ゲート絶縁膜に水素が進入して、半導体層とゲート絶縁膜の界面で水素終端すると、ホットキャリア耐性が劣化することが知られているが、シリコン窒



化膜が形成されているため、ゲート絶縁膜および埋込酸化膜への水素の侵入が防止され、ホットキャリア耐性が向上した半導体装置の製造方法を得ることができる。

#### 【0073】

また、シリコン窒化膜を用いて、シリコン窒化膜上の膜厚の厚い層間絶縁膜と、シリコン窒化膜下の膜厚の薄い層間絶縁膜のエッチングを分けて行ってコンタクトホールを形成しているため、シリコン窒化膜下の層間絶縁膜のエッチング条件の制御によって、半導体層のオーバーエッチングを抑制することができ、接合リーク電流を発生するおそれがない半導体装置を得ることができる。

#### 【0074】

実施の形態3.

図17はこの発明の実施の形態3に係る半導体装置の断面図であり、図において、132はコンタクトホール、310は配線である。

この実施の形態においては、層間絶縁膜11、111およびシリコン窒化膜14に形成されたコンタクトホール132が、ソース・ドレイン領域7および8と分離絶縁膜4の表面上にまたがって形成されており、このコンタクトホール132を通して、ソース・ドレイン領域7および8に接続する配線310が、分離絶縁膜4表面上にも形成されている点以外は、実施の形態1と同様の構造である。

また、図18はこの発明の実施の形態3にかかる半導体装置の上面図であり、図17は、図18に示したF-F断面における断面図である。この図においては、層間絶縁膜11および111、シリコン窒化膜14、配線110および310、サイドウォール絶縁膜9、ソース・ドレイン領域71および81、ポケット注入領域72および82は、簡単のため省略している。

#### 【0075】

この実施の形態3に示した半導体装置によれば、ソース・ドレイン領域に接続する配線を、隣接する分離絶縁膜にまたがって形成するボーダーレスコンタクト構造の半導体装置において、シリコン窒化膜を備えているので、ソース・ドレイン領域に到達するコンタクトホールを形成する際に分離絶縁膜のエッチングされるのが抑制されて、半導体層とソース・ドレイン領域からなるpn接合と、配線

との距離を十分に保つことができ、素子密度の向上が図られるとともに、信頼性の向上した半導体装置を得ることができる。

【0076】

また、半導体基板と、この半導体基板の表面上全体に配設された埋込絶縁膜と、さらにその表面上に配設された半導体層とからなるSOI基板主表面に素子が形成された半導体装置において、素子表面上に層間絶縁膜を介して形成されたシリコン窒化膜を備えているため、このシリコン窒化膜のストレスによって、分離絶縁膜下の半導体層にライフタイムキラーとなる欠陥が発生して、キャリア（nMOSならば正孔、pMOSならば電子）の寿命を短くすることができる。このため、分離絶縁膜下の半導体層が薄くなっても、ゲート電極下のチャネル形成領域の電位を安定に固定でき、遅延時間の周波数依存性が抑えられるなど、基板浮遊効果が抑制されるため、半導体装置の信頼性が向上する。

【0077】

また、ゲート絶縁膜に水素が進入して、半導体層とゲート絶縁膜の界面で水素終端すると、ホットキャリア耐性が劣化することが知られているが、シリコン窒化膜が形成されているため、ゲート絶縁膜および埋込酸化膜への水素の侵入が防止され、ホットキャリア耐性が向上するという効果を奏する。

【0078】

図19は、この発明の実施の形態3に係る別の半導体装置を示す断面図であり、123はn型不純物領域である。図を参照して、n型不純物領域123は、P、As、Sbなどの不純物を $1 \times 10^{15} \sim 1 \times 10^{19} / \text{cm}^3$ 程度含んでおり、ソース・ドレイン領域7に接続して、分離絶縁膜4上にコンタクトホール132が形成される領域よりも分離絶縁膜4中央部へと広がって形成されている。このn型不純物領域123は、コンタクトホール132を形成後、斜めイオン注入を行うなどの方法によって形成することができる。それ以外は、図17に示した半導体装置と同様の構造である。

【0079】

ボーダーレスコンタクト構造の半導体装置においては、シリコン窒化膜14が形成されているにも関わらず、コンタクトホール132形成の際に露出する分離

絶縁膜 4 がエッチングされることが起こりうるが、n 型不純物領域 1 2 3 を形成することによって、配線 3 1 0 と半導体層 3 との距離を十分に保つことができ、この部分での接合リーク電流を発生するおそれなくなる。

## 【 0 0 8 0 】

図 2 0 はこの発明の実施の形態 3 に係るさらに別の半導体装置を示す上面図であり、破線 G で取り囲まれた部分では、分離絶縁膜 4 が埋込酸化膜 2 まで到達する F T I となっている以外は、図 1 7 に示した半導体装置と同様の構造である。この図 2 0 に示した半導体装置によれば、図 1 7 に示した半導体装置に比べて、ライフタイムキラーの役割は劣るが、コンタクトホール 1 3 形成の際に分離絶縁膜 4 がエッチングされても半導体層 3 と接続するおそれがなく、信頼性が向上する。

## 【 0 0 8 1 】

また、この実施の形態 3 においては、シリコン窒化膜 1 4 が全面に形成された図によって説明を行ったが、P T I と F T I が併用されている半導体装置においては、素子分離として P T I が用いられている領域にシリコン窒化膜 1 4 が形成されていれば、分離特性を向上させることができる。

また、ソース・ドレイン領域 7 および 8 と分離絶縁膜 4 表面上にまたがって配線 3 1 0 が形成される部分の表面上にシリコン窒化膜 1 4 が形成されていれば、分離絶縁膜 4 の形状を保つことができる。

また、このボーダーレスコンタクト構造は、実施の形態 1 および 2 に示した半導体装置にも適用でき、同様の効果を奏する。

## 【 0 0 8 2 】

次にこの発明の実施の形態 3 に係る半導体装置の製造方法について説明する。

図 2 1 は、実施の形態 3 を示す半導体装置の製造方法の一工程を示す断面図であり、図 2 1 において、3 0 4 はフォトリソマスクである。

まず、実施の形態 1 と同様にして、半導体基板 1 の表面に埋込絶縁膜を介して半導体層 3 が配設された S O I 基板の表面に分離絶縁膜 4、p 型不純物領域（p M O S の場合は、n 型不純物領域）、ゲート絶縁膜 5、ゲート電極 6、ポケット注入領域 7 2 および 8 2、ソース・ドレイン領域 7 1 および 8 1、サイドウォー

ル絶縁膜 9、ソース・ドレイン領域 7 および 8 を形成する。

【 0 0 8 3 】

そして、実施の形態 1 と同様にして、層間絶縁膜 1 1、シリコン窒化膜 1 4、層間絶縁膜 1 1 1 を形成した後、CMP で平坦化してから、CMP による表面荒れをなくすために、層間絶縁膜 1 1 と同様にして再度シリコン酸化膜を 5 0 ～ 2 0 0 n m 程度の膜厚で堆積する（図示せず）。

その後、層間絶縁膜 1 1 1 表面上に、ソース・ドレイン領域 7、8 および p 型不純物領域 1 2 に接続するコンタクトホール 1 3 および 1 3 2 が形成される領域に開口を有するフォトリソマスク 3 0 4 を形成してから、実施の形態 1 と同様にして、層間絶縁膜 1 1 1 をエッチングする。この時、コンタクトホール 1 3 2 は、ソース・ドレイン領域 7 および 8 だけでなく、分離絶縁膜 4 表面上にも形成されるようにフォトリソマスク 3 0 4 がパターニングされている。図 2 1 はこの工程が終わった段階での半導体装置の素子を示す断面図である。

【 0 0 8 4 】

次にシリコン窒化膜とシリコン酸化膜との選択比の低い条件で、残ったシリコン窒化膜 1 4 および層間絶縁膜 1 1 をエッチングして、コンタクトホール 1 3 2 および 1 3 を形成する。

そして、実施の形態 1 と同様にして、配線 1 1 0 および 3 1 0 が形成され、図 1 7 に示した半導体装置が形成される。

この後さらに、実施の形態 1 と同様にして、多層配線構造が形成される（図示せず）。

【 0 0 8 5 】

この実施の形態 3 に示した半導体装置の製造方法によれば、ソース・ドレイン領域に接続する配線を、隣接する分離絶縁膜にまたがって形成するボーダーレスコンタクト構造の半導体装置において、シリコン窒化膜を用いて、シリコン窒化膜上の膜厚の厚い層間絶縁膜と、シリコン窒化膜下の膜厚の薄い層間絶縁膜のエッチングを分けて行ってコンタクトホールを形成しているため、シリコン窒化膜下の層間絶縁膜のエッチング条件の制御によって、半導体層のオーバーエッチングを抑制することができ、接合リーク電流を発生するおそれがない半導体装置を

得ることができるとともに、ソース・ドレイン領域に到達するコンタクトホールを形成する際に分離絶縁膜のエッチングされるのが抑制されて、半導体層とソース・ドレイン領域からなるpn接合と、配線との距離を十分に保つことができ、半導体装置の素子密度の向上と信頼性の向上を図ることができる。

## 【0086】

また、半導体基板と、この半導体基板の表面上全体に配設された埋込絶縁膜と、さらにその表面上に配設された半導体層とからなるSOI基板主表面に素子が形成された半導体装置において、素子表面上に層間絶縁膜を介してシリコン窒化膜を形成しているため、このシリコン窒化膜のストレスによって、分離絶縁膜下の半導体層にライフタイムキラとなる欠陥が発生して、キャリア（nMOSならば正孔、pMOSならば電子）の寿命を短くすることができる。このため、分離絶縁膜下の半導体層が薄くなっても、ゲート電極下のチャネル形成領域の電位が安定に固定され、遅延時間の周波数依存性が抑えられるなど、基板浮遊効果が抑制されるため、信頼性の向上した半導体装置を製造することができる。

## 【0087】

また、ゲート絶縁膜に水素が進入して、半導体層とゲート絶縁膜の界面で水素終端すると、ホットキャリア耐性が劣化することが知られているが、シリコン窒化膜が形成されているため、ゲート絶縁膜および埋込酸化膜への水素の侵入が防止され、ホットキャリア耐性が向上した半導体装置の製造方法を得ることができる。

## 【0088】

## 【発明の効果】

本発明は、以上説明したように構成されているので、以下のような効果を奏する。

本発明は、半導体基板と、この半導体基板の表面上全体に配設された埋込絶縁膜と、さらにその表面上に配設された半導体層とからなるSOI基板主表面に素子が形成された半導体装置において、素子表面上に層間絶縁膜を介して形成されたシリコン窒化膜を備えているため、このシリコン窒化膜のストレスによって、分離絶縁膜下の半導体層にライフタイムキラとなる欠陥が発生して、キャリア

(nMOSならば正孔、pMOSならば電子)の寿命を短くすることができる。  
このため、分離絶縁膜下の半導体層が薄くなっても、ゲート電極下のチャネル形成領域の電位を安定に固定でき、遅延時間の周波数依存性が抑えられるなど、基板浮遊効果が抑制されるため、半導体装置の信頼性が向上する。

## 【0089】

また、CMOS構造で、逆導電型のトランジスタがPTIを介して隣接している場合には、分離絶縁膜下の半導体層に発生した欠陥によって、隣接するpMOSTランジスタとnMOSTランジスタとの間での耐圧が向上して、半導体装置の信頼性向上を図ることができるという効果を奏する。

## 【0090】

また、CMOS構造で、逆導電型のトランジスタが隣接している部分にはFTIを形成しているので、隣接するpMOSTランジスタとnMOSTランジスタの間での耐圧が向上し、半導体装置の信頼性向上を図ることができるという効果を奏する。

## 【0091】

また、ソース・ドレイン領域に接続する配線を、隣接する分離絶縁膜にまたがって形成するボーダーレスコンタクト構造の半導体装置において、層間絶縁膜間にシリコン窒化膜を備えているので、ソース・ドレイン領域に到達するコンタクトホールを形成する際に分離絶縁膜のエッチングされるのが抑制されて、半導体層とソース・ドレイン領域からなるpn接合と、配線との距離を十分に保つことができ、素子密度の向上が図られるとともに、信頼性の向上した半導体装置を得ることができる。

## 【0092】

さらに、ボーダーレスコンタクト構造のコンタクトホール形成の際に露出する分離絶縁膜がエッチングされることが起こりうるが、それぞれのソース・ドレイン領域に隣接して、ソース・ドレイン領域と同一導電型の不純物領域を形成しているので、配線と分離絶縁膜下の半導体層との距離を十分に保つことができ、この部分での接合リーク電流を発生するおそれがなくなる。

## 【0093】

また、ゲート絶縁膜に水素が進入して、半導体層とゲート絶縁膜の界面で水素終端すると、ホットキャリア耐性が劣化することが知られているが、シリコン窒化膜が形成されているため、ゲート絶縁膜および埋込酸化膜への水素の侵入が防止され、ホットキャリア耐性が向上するという効果を奏する。

## 【0094】

また、ソース領域およびドレイン領域表面に金属シリサイド層が形成されていると、この金属シリサイド層が第1の層間絶縁膜をエッチングする際のエッチングストップとして働くので、エッチングマージンが増え、制御性よく配線を形成できるため、信頼性の向上した半導体装置を得ることができる。

## 【0095】

また、半導体基板と、この半導体基板の表面上全体に配設された埋込絶縁膜と、さらにその表面上に配設された半導体層とからなるSOI基板主表面に素子が形成された半導体装置において、素子表面上に層間絶縁膜を介してシリコン窒化膜を形成しているため、このシリコン窒化膜のストレスによって、分離絶縁膜下の半導体層にライフタイムキラーとなる欠陥が発生して、キャリア（nMOSならば正孔、pMOSならば電子）の寿命を短くすることができる。このため、分離絶縁膜下の半導体層が薄くなっても、ゲート電極下のチャネル形成領域の電位が安定に固定され、遅延時間の周波数依存性が抑えられるなど、基板浮遊効果が抑制されるため、信頼性の向上した半導体装置を製造することができる。

## 【0096】

また、CMOS構造で、逆導電型のトランジスタがPTIを介して隣接している場合に、層間絶縁膜間にシリコン窒化膜を形成しているので、分離絶縁膜下の半導体層に欠陥が発生し、隣接するpMOSトランジスタとnMOSトランジスタとの間での耐圧が向上してラッチアップ耐性が向上し、半導体装置の信頼性向上を図ることができるという効果を奏する。

## 【0097】

第1の層間絶縁膜と第2の層間絶縁膜を別の工程でエッチングしてコンタクトホールを形成しているため、第1の層間絶縁膜のエッチング条件の制御によって、半導体層のオーバーエッチングを抑制することができ、接合リーク電流を発生

するおそれがない半導体装置を得ることができる。

【0098】

また、ソース領域およびドレイン領域に接続する配線を、隣接する分離絶縁膜にまたがって形成するボーダーレスコンタクト構造の半導体装置において、シリコン窒化膜を用いて、第1の層間絶縁膜と第2の層間絶縁膜のエッチングを分けて行ってコンタクトホールを形成しているため、第1の層間絶縁膜のエッチング条件の制御によって、半導体層のオーバーエッチングを抑制することができ、接合リーク電流を発生するおそれがない半導体装置を得ることができるとともに、ソース・ドレイン領域に到達するコンタクトホールを形成する際に分離絶縁膜のエッチングされるのが抑制されて、半導体層とソース・ドレイン領域からなるpn接合と、配線との距離を十分に保つことができ、半導体装置の素子密度の向上と信頼性の向上を図ることができる。

【0099】

さらに、第1の層間絶縁膜と第2の層間絶縁膜との間に形成されたシリコン窒化膜との選択比を利用して、第1の層間絶縁膜と第2の層間絶縁膜のエッチングを行っているため、制御性よくコンタクトホールを形成することができ、信頼性の向上した半導体装置を製造することができる。

【図面の簡単な説明】

- 【図1】 本発明の実施の形態1に係る半導体装置を示す断面図である。
- 【図2】 本発明の実施の形態1に係る半導体装置を示す上面図である。
- 【図3】 本発明の実施の形態1に係る半導体装置を示す断面図である。
- 【図4】 本発明の実施の形態1に係る半導体装置を示す断面図である。
- 【図5】 本発明の実施の形態1に係る半導体装置を示す断面図である。
- 【図6】 本発明の実施の形態1に係る半導体装置を示す上面図である。
- 【図7】 本発明の実施の形態1に係る半導体装置を示す断面図である。
- 【図8】 本発明の実施の形態1に係る半導体装置を示す上面図である。
- 【図9】 本発明の実施の形態1に係る半導体装置の製造方法の一工程を示す断面図である。
- 【図10】 本発明の実施の形態1に係る半導体装置の製造方法の一工程を



示す断面図である。

【図 1 1】 本発明の実施の形態 1 に係る半導体装置の製造方法の一工程を示す断面図である。

【図 1 2】 本発明の実施の形態 1 に係る半導体装置の製造方法の一工程を示す断面図である。

【図 1 3】 本発明の実施の形態 1 に係る半導体装置の製造方法の一工程を示す断面図である。

【図 1 4】 本発明の実施の形態 2 に係る半導体装置を示す断面図である。

【図 1 5】 本発明の実施の形態 2 に係る半導体装置を示す断面図である。

【図 1 6】 本発明の実施の形態 2 に係る半導体装置の製造方法の一工程を示す断面図である。

【図 1 7】 本発明の実施の形態 3 に係る半導体装置を示す断面図である。

【図 1 8】 本発明の実施の形態 3 に係る半導体装置を示す上面図である。

【図 1 9】 本発明の実施の形態 3 に係る半導体装置を示す断面図である。

【図 2 0】 本発明の実施の形態 3 に係る半導体装置を示す上面図である。

【図 2 1】 本発明の実施の形態 2 に係る半導体装置の製造方法の一工程を示す断面図である。

【図 2 2】 従来の半導体装置を示す断面図である。

【図 2 3】 従来の半導体装置を示す断面図である。

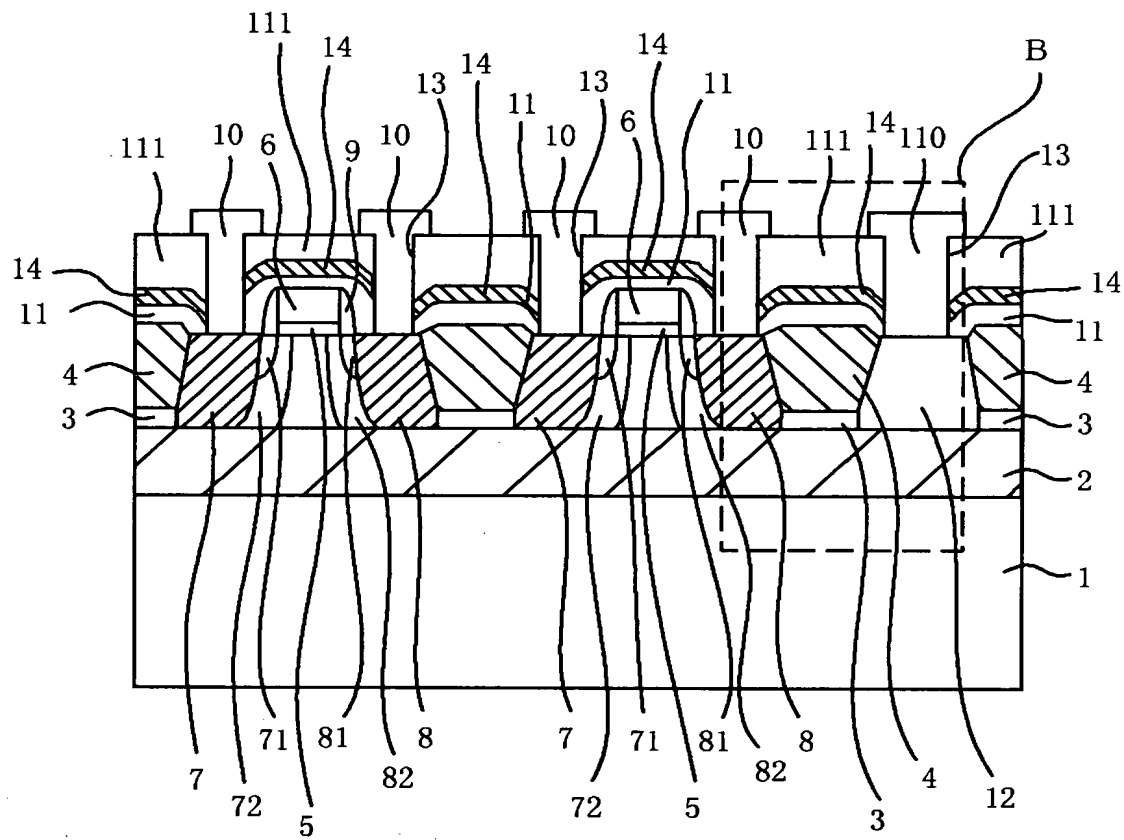
【図 2 4】 従来の半導体装置を示す断面図である。

【符号の説明】

2 埋込酸化膜、 3 半導体層、 4 分離絶縁膜、 1 3 コンタクトホール、 1 4 シリコン窒化膜、 1 1、 1 1 1 層間絶縁膜

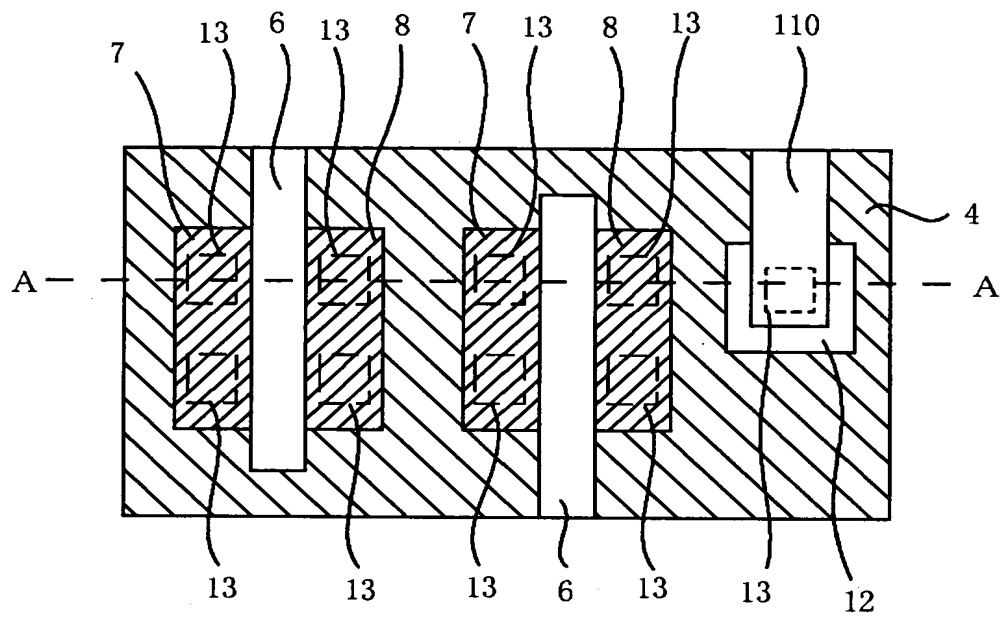
【書類名】 図面

【図 1】

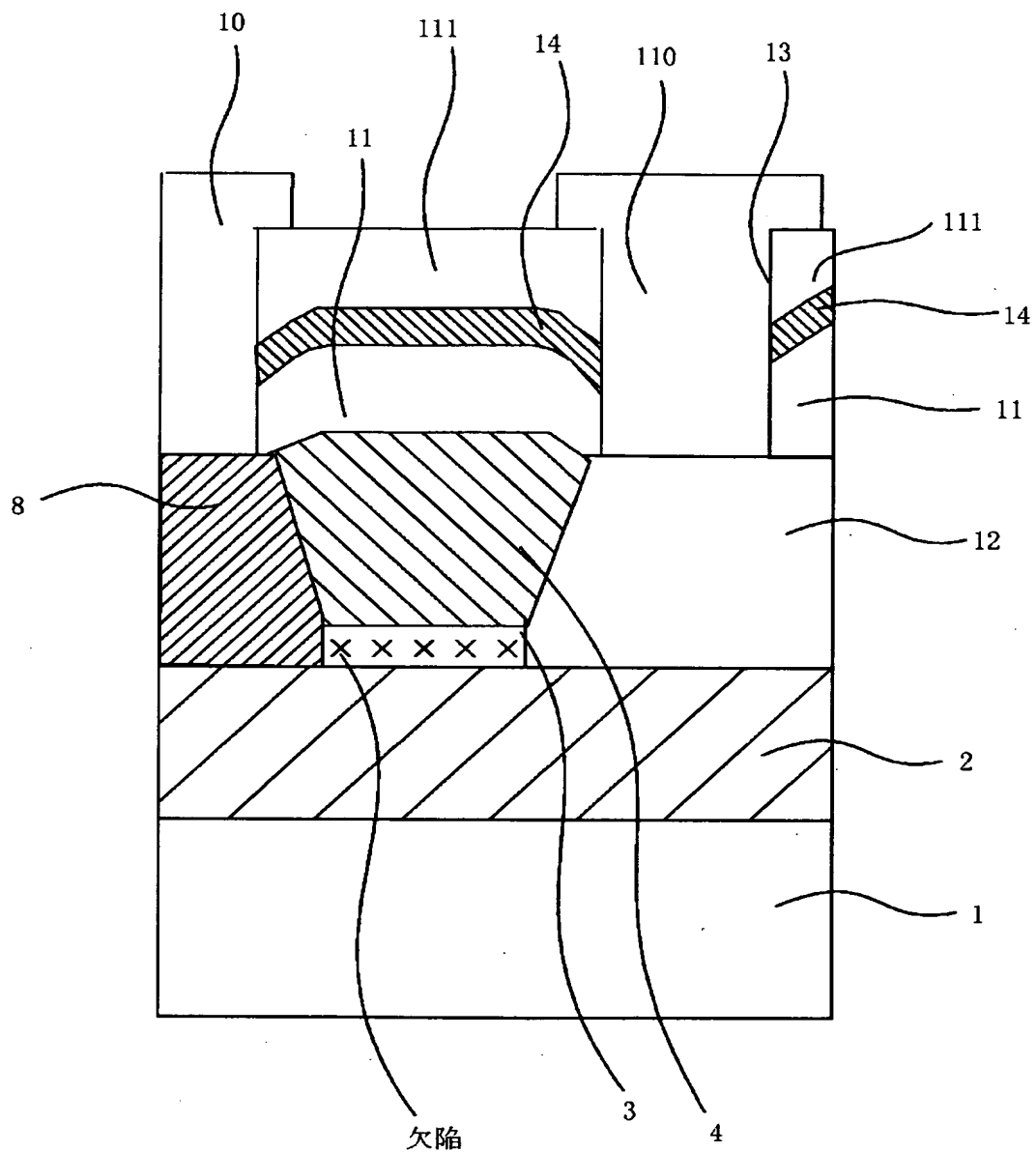


14 : シリコン窒化膜

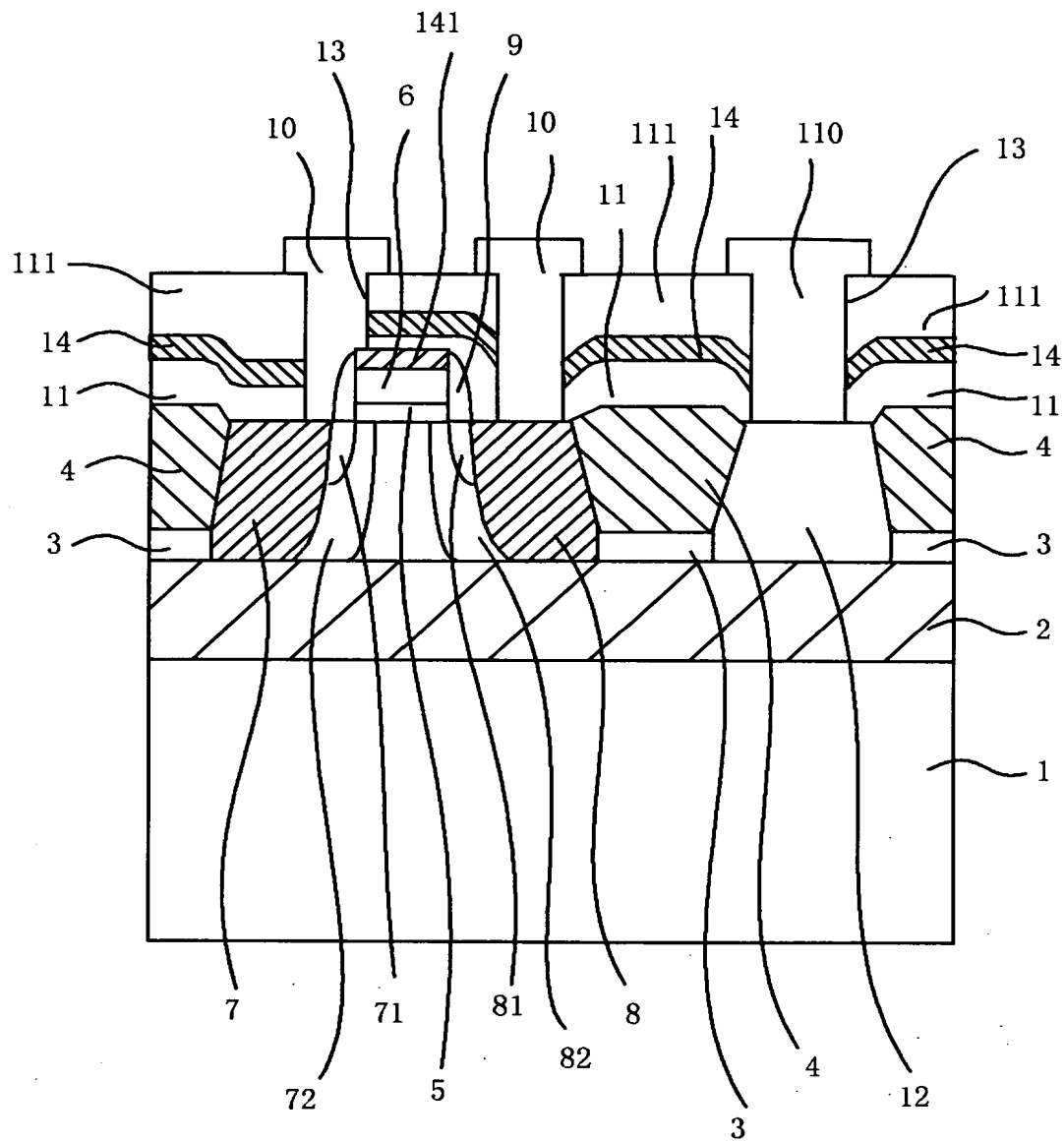
【図 2】



【図 3】

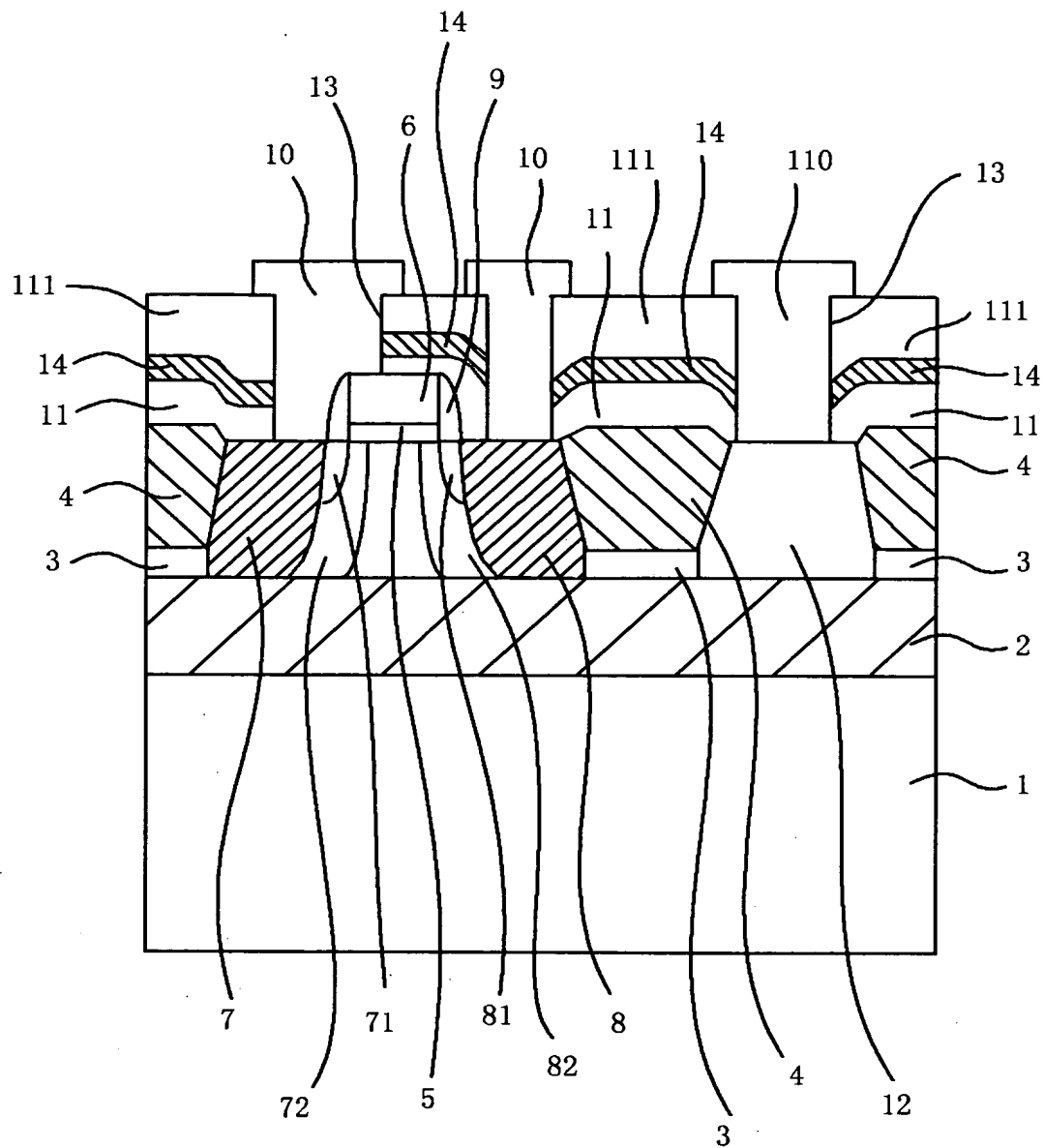


【図4】

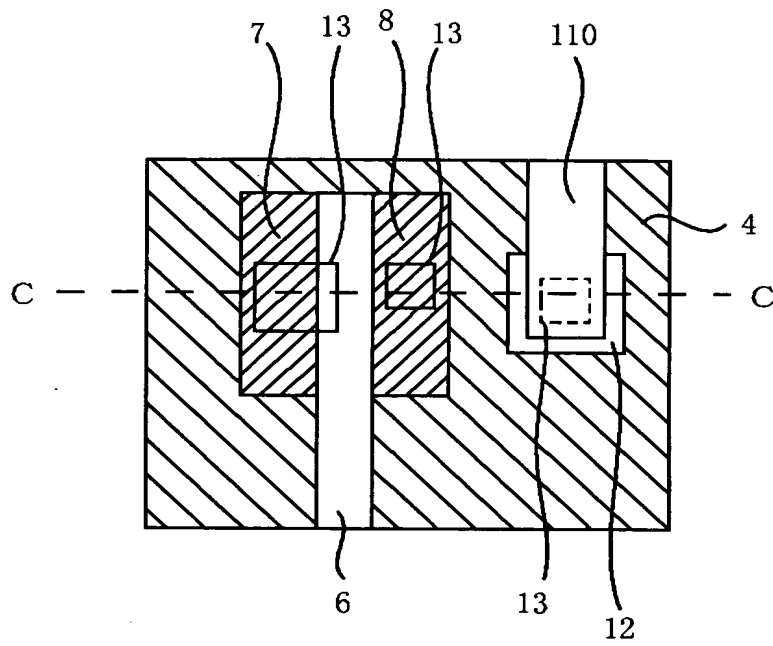


141 : シリコン窒化膜

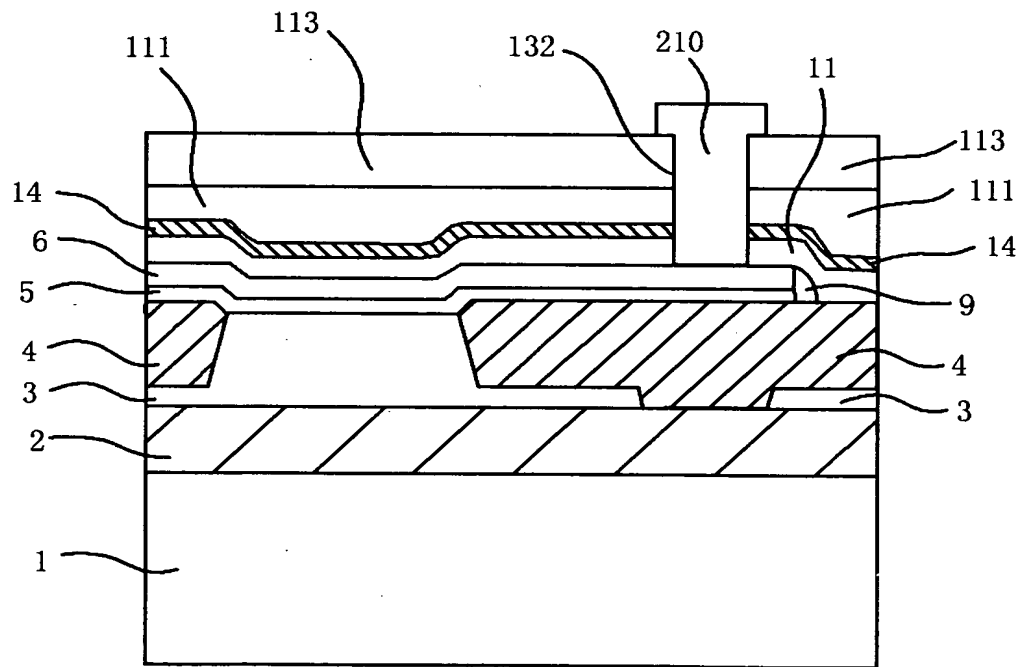
【図5】



【図 6】



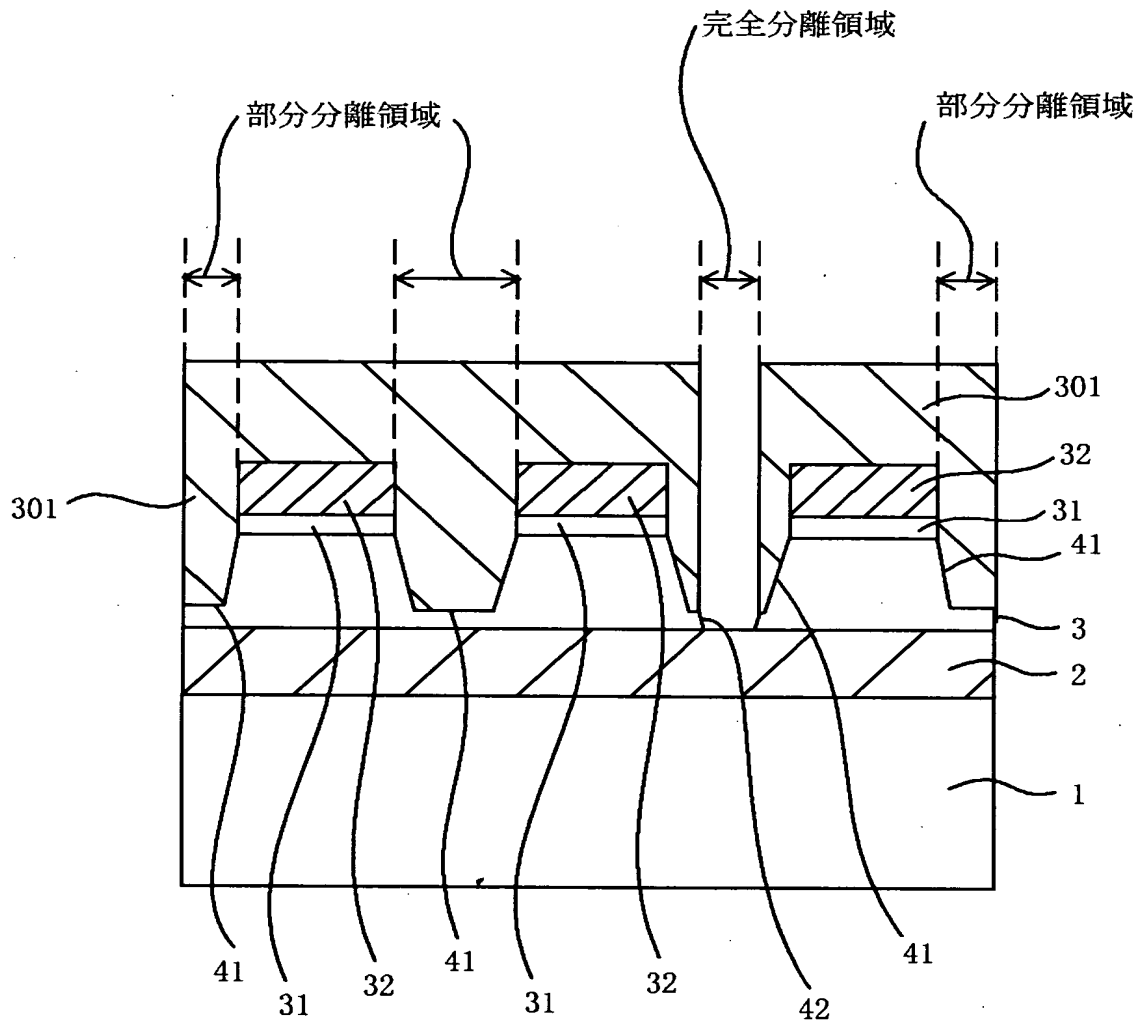
【図 7】



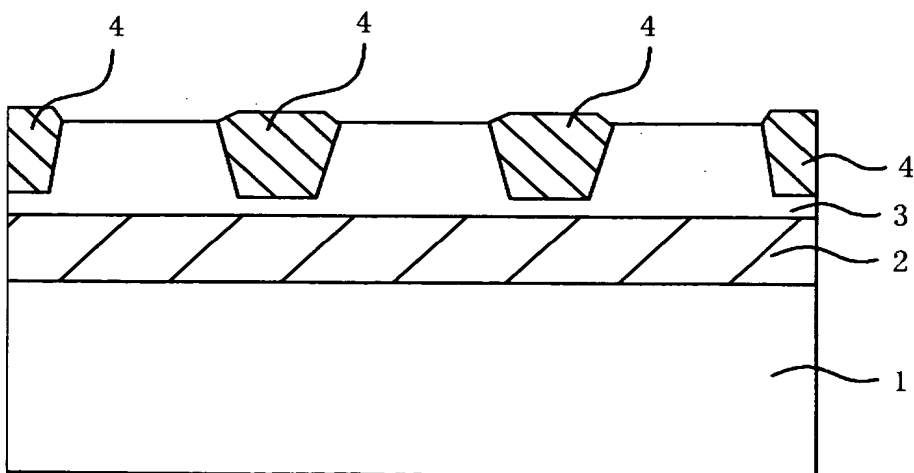




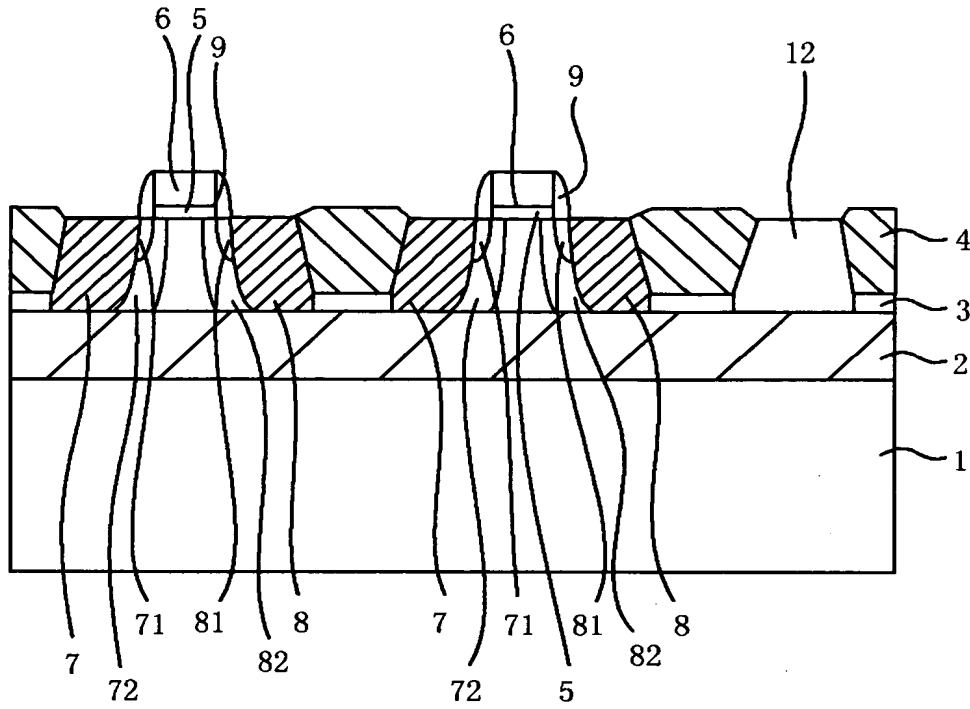
【図 10】



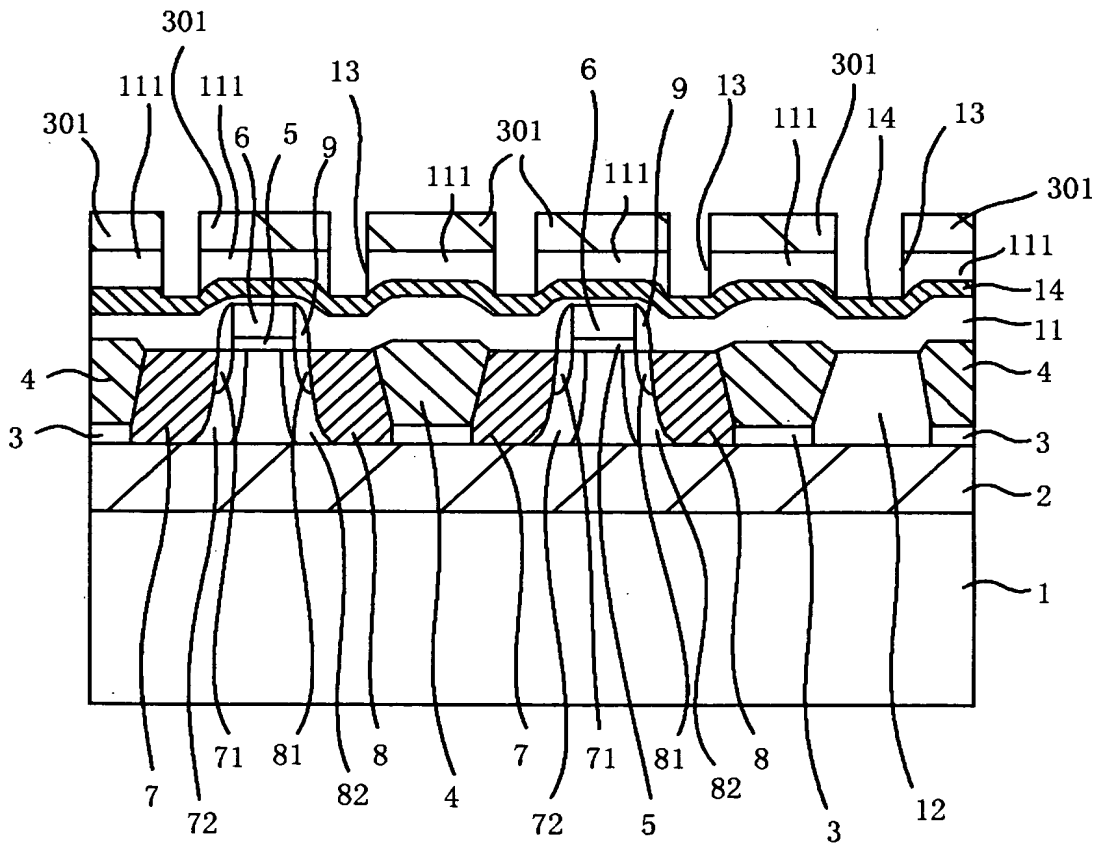
【図 11】



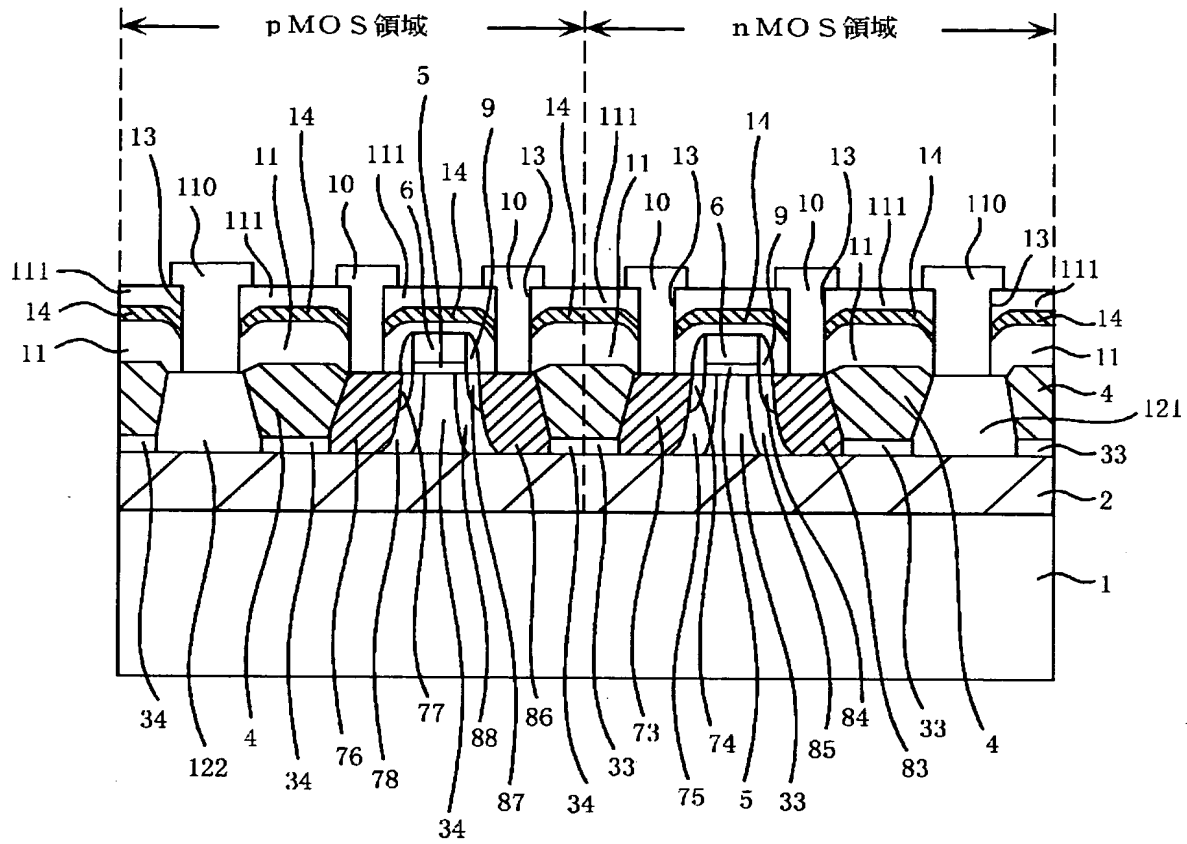
【図 12】



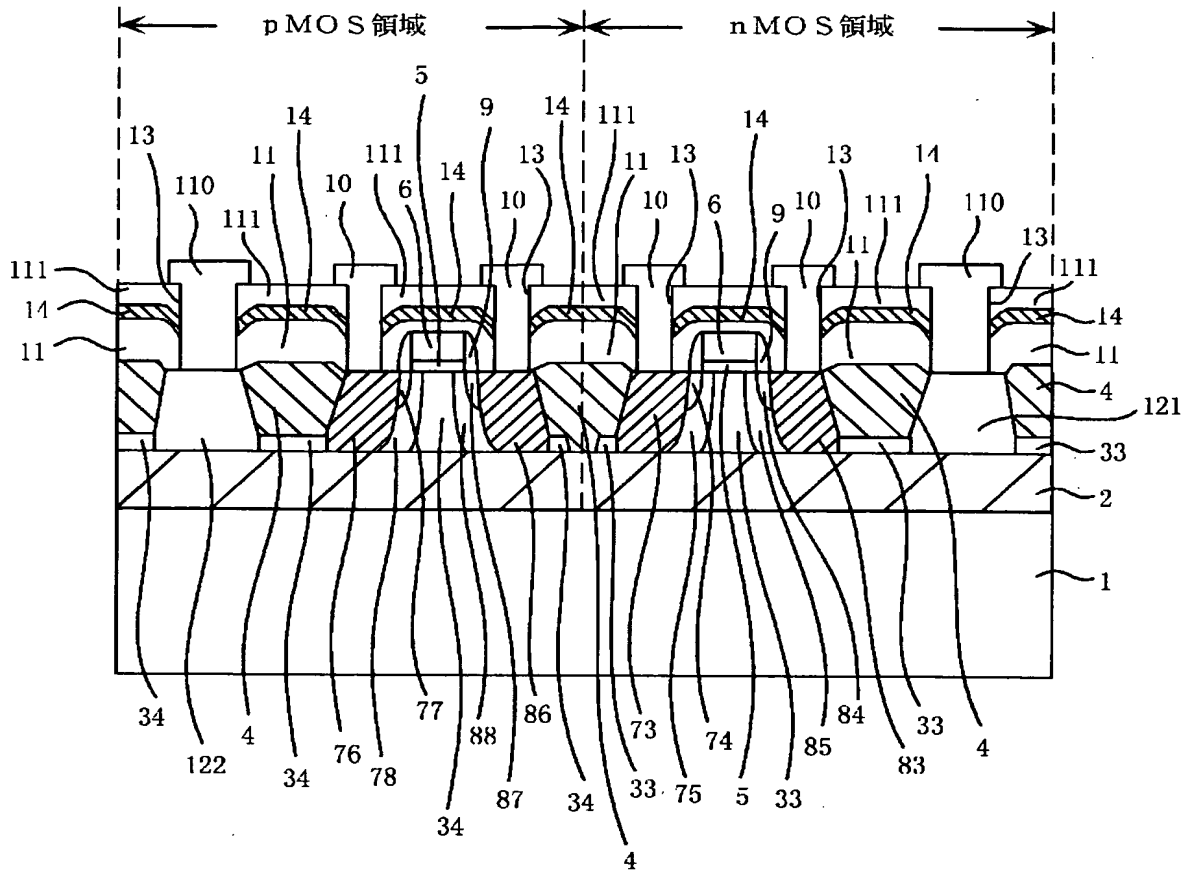
【図 13】



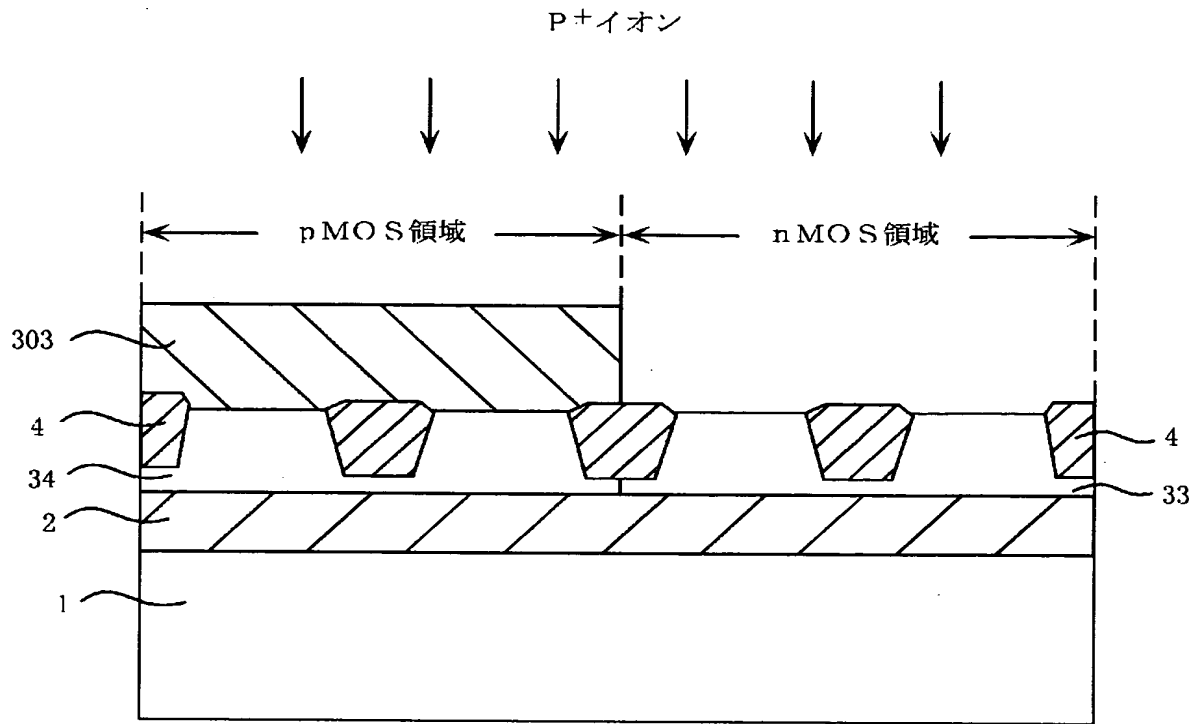
【図 14】



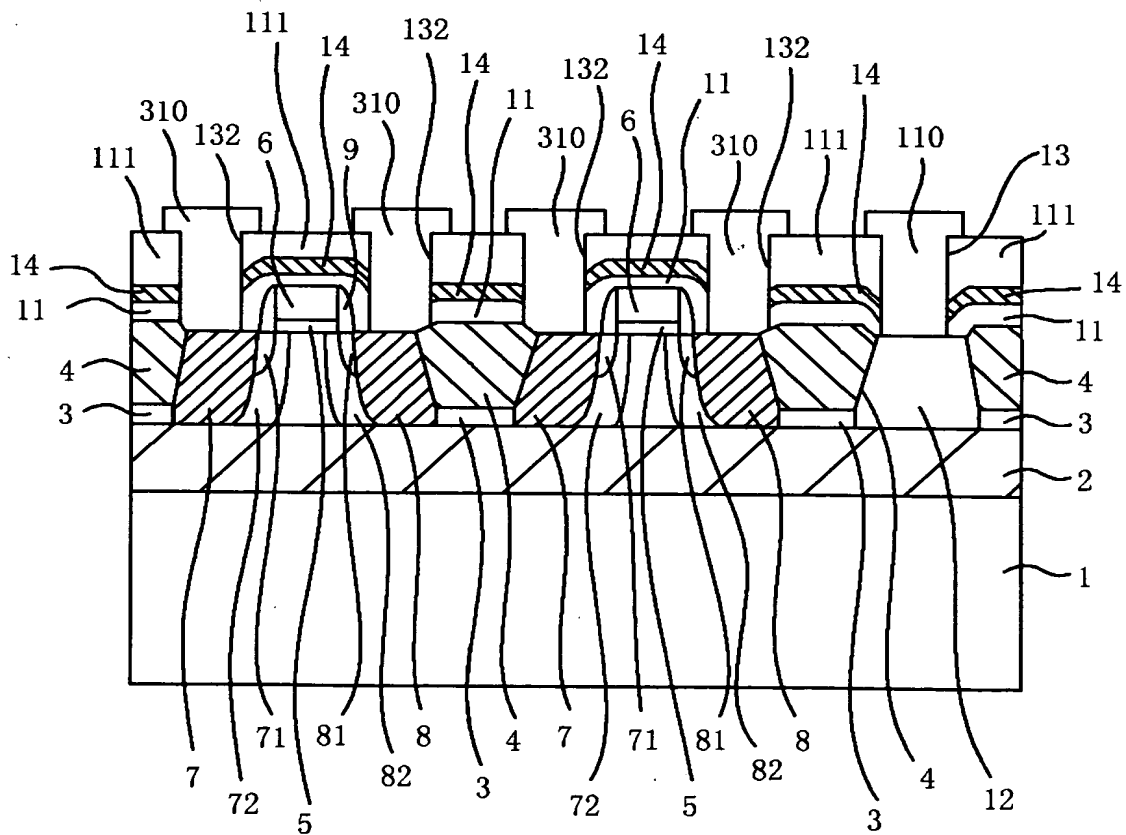
【図 15】



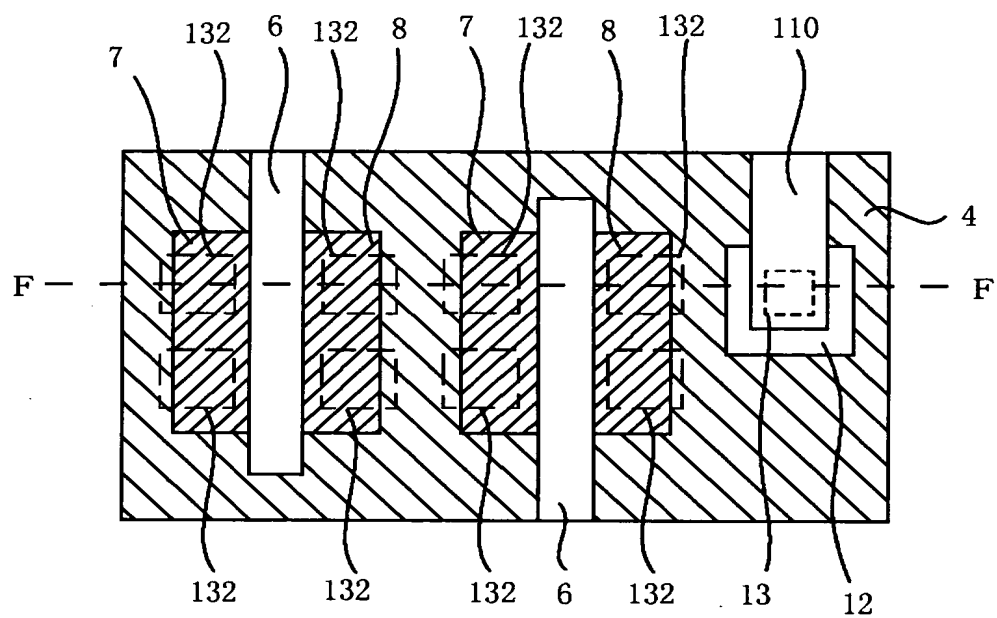
【図 16】



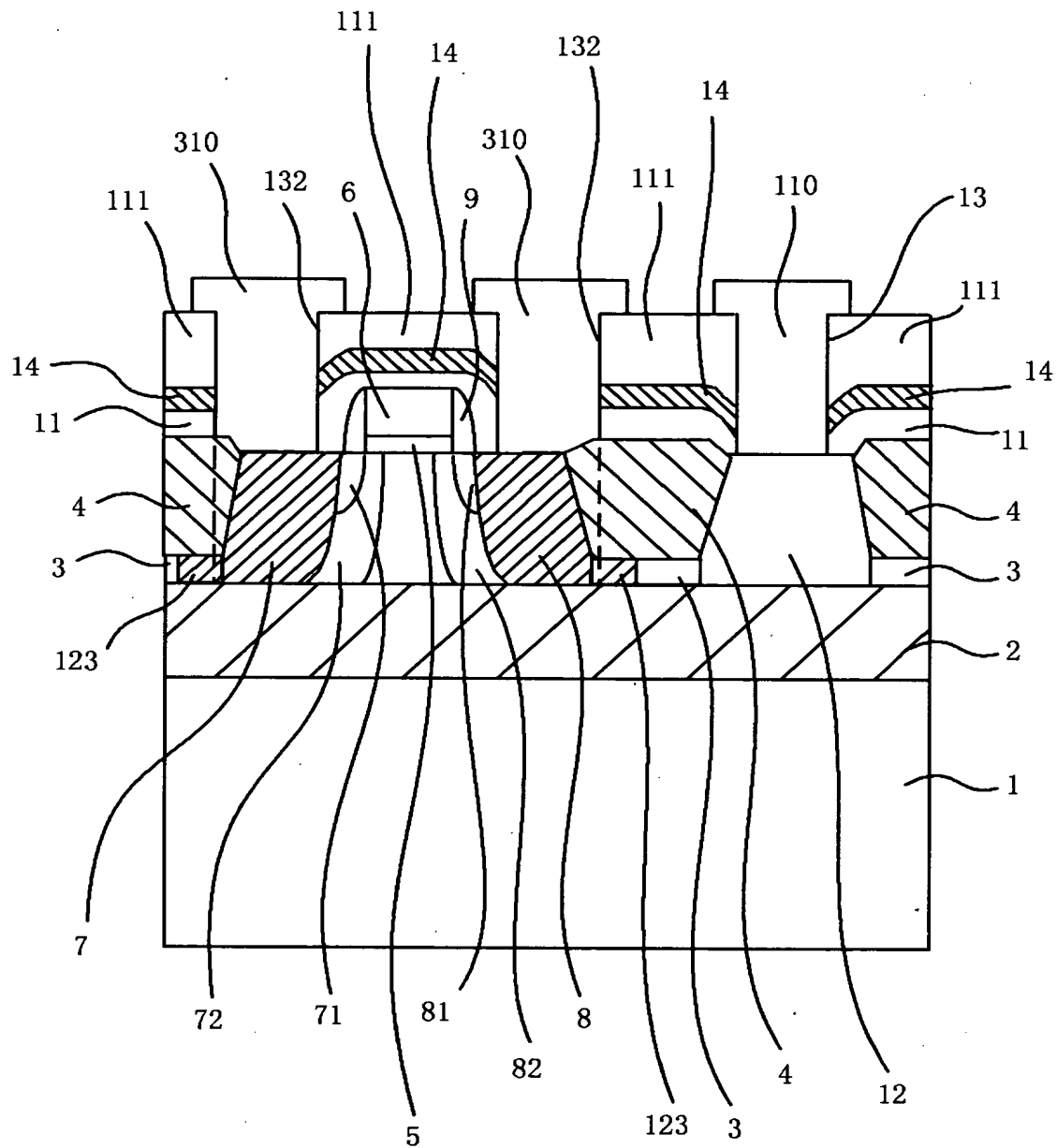
【図 17】



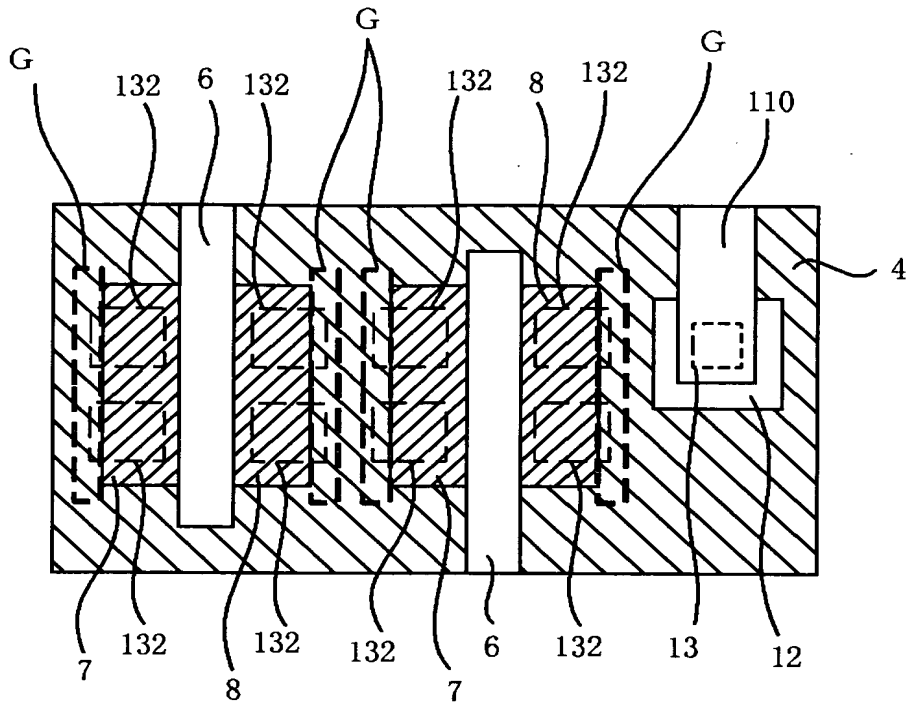
【図 18】



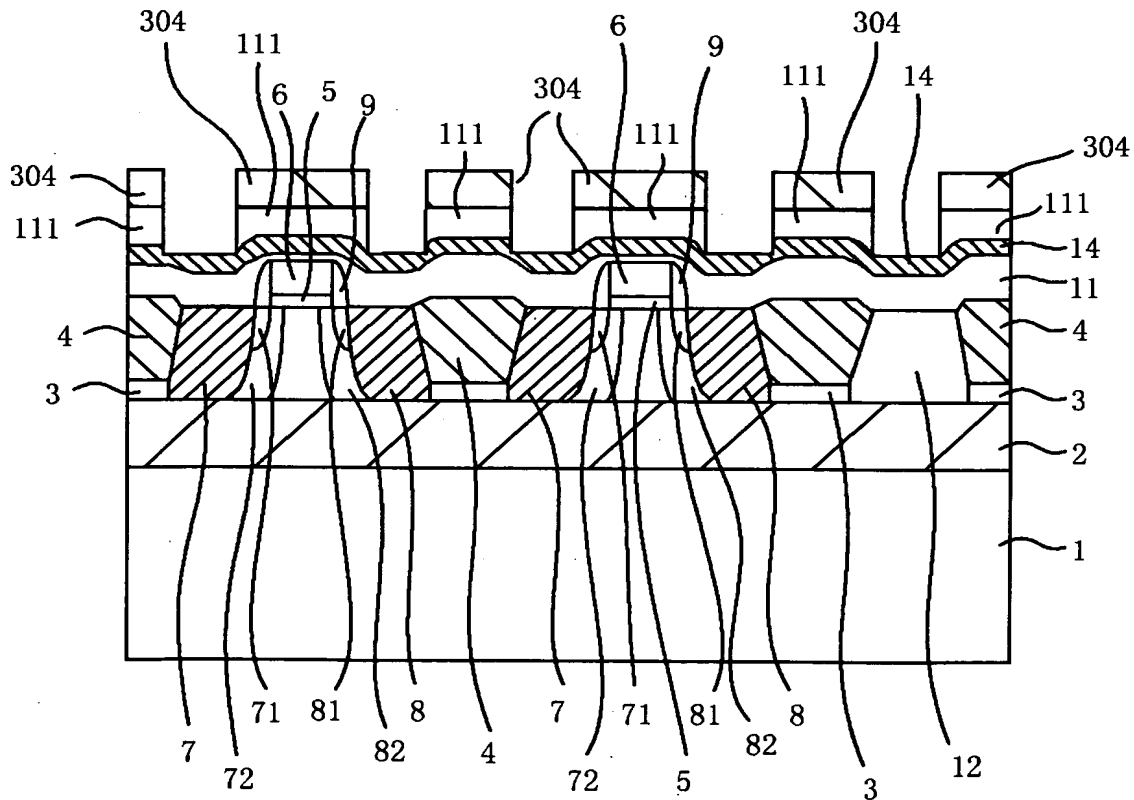
【図 19】



【図 20】

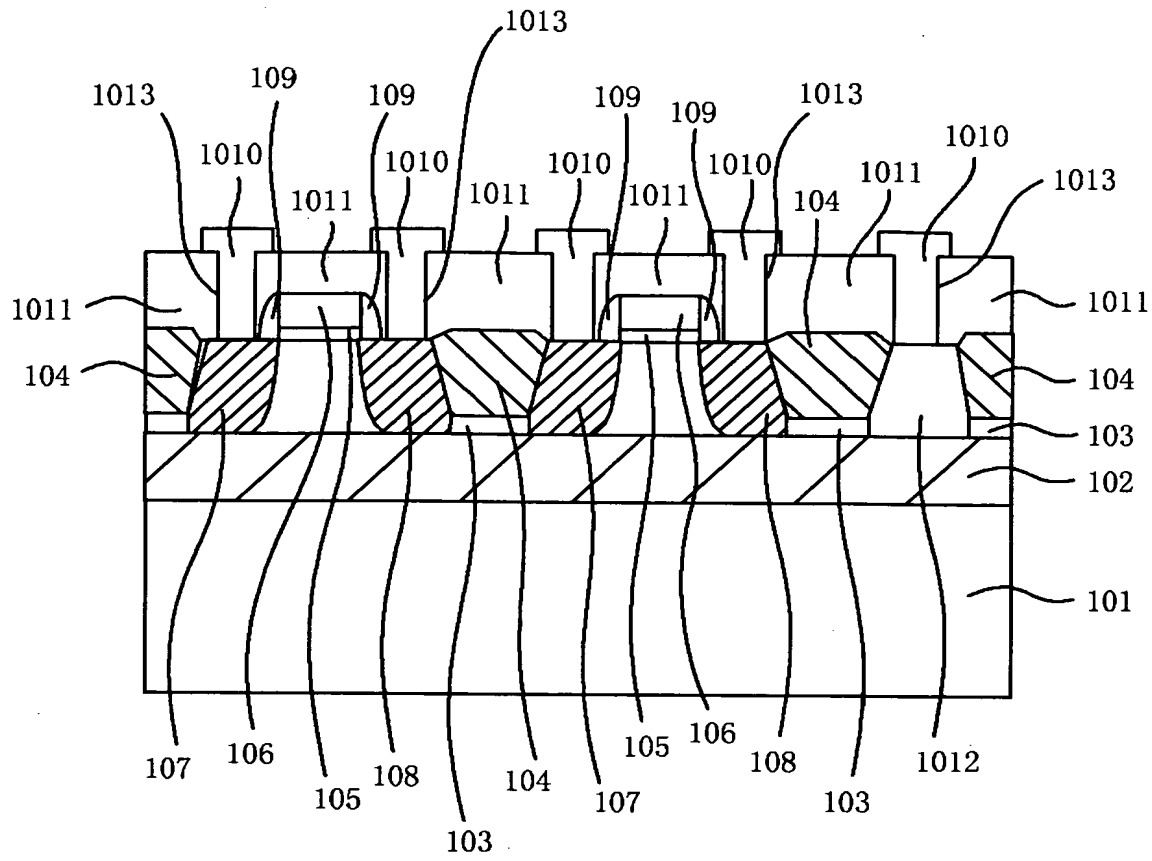


【図 21】

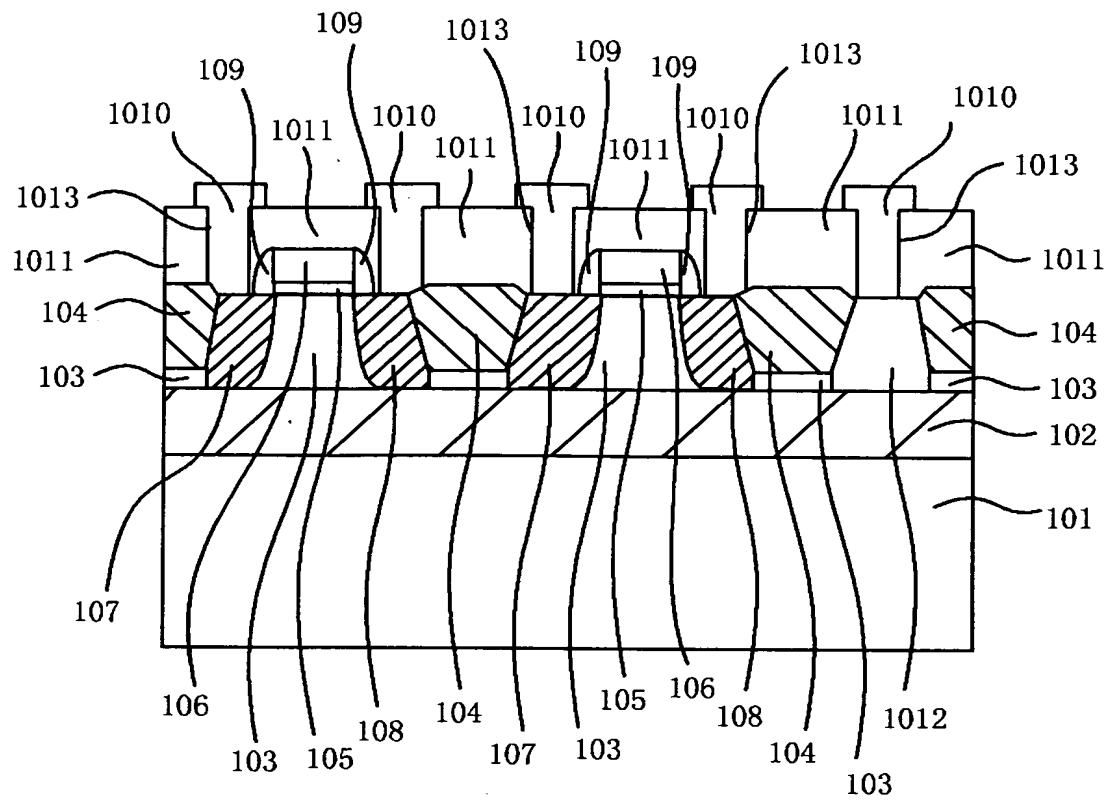




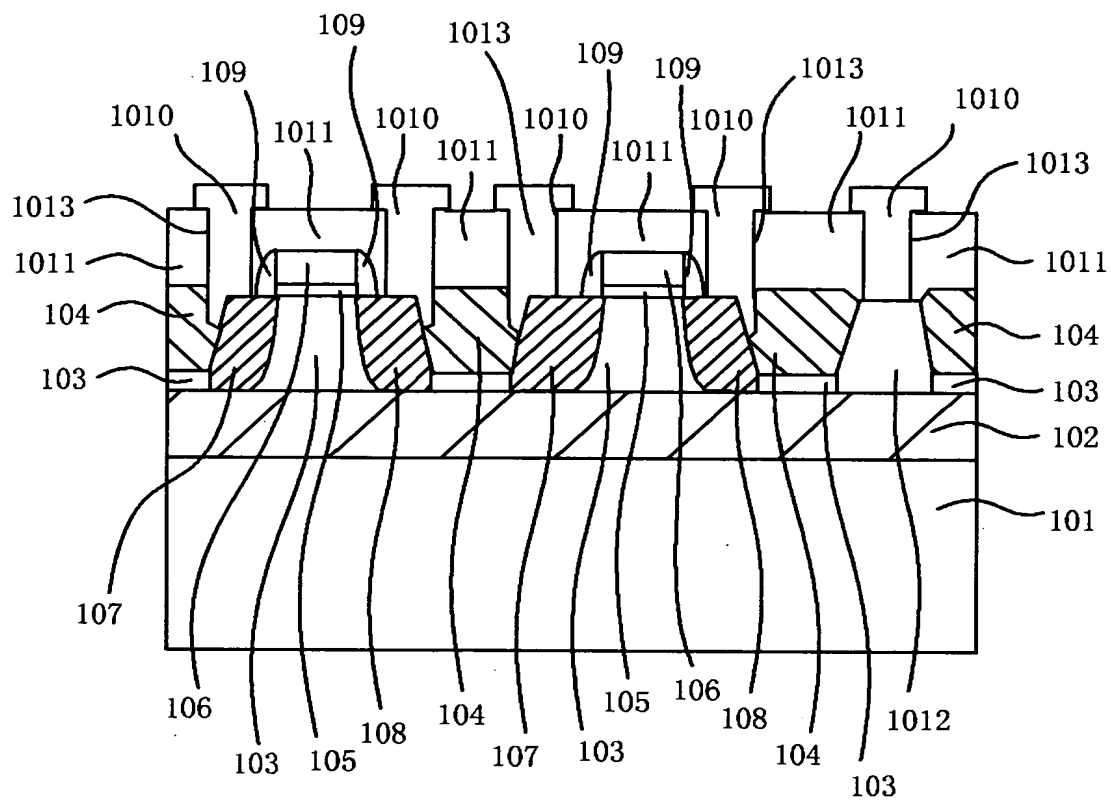
【図 2 2】



【図 2 3】



【図 24】



【書類名】                      要約書

【要約】

【課題】    P T I 構造の分離絶縁膜を備えた半導体装置において、基板浮遊効果を抑制し、分離特性および耐圧の向上した半導体装置およびその製造方法を得ることを目的とするものである。

【解決手段】    半導体層の表面に形成された素子の上面を覆う層間絶縁膜の間にシリコン窒化膜を形成する。

【選択図】                      図 1

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号  
氏 名 三菱電機株式会社